



Universidad
Carlos III de Madrid

Departamento de Tecnología electrónica

PROYECTO FIN DE CARRERA

Circuito de Acondicionamiento de Señales de Ultrasonidos en la banda de MHz basado en el Integrado AD9272

Autor: Germán Hernández Rodríguez

Tutor: José Antonio García Souto

Leganés, Octubre de 2012

Título: CIRCUITO DE ACONDICIONAMIENTO DE SEÑALES DE
ULTRASONIDOS EN LA BANDA DE MHZ BASADO EN EL
INTEGRADO AD9272
Autor: Germán Hernández Rodríguez
Director: José Antonio García Souto

EL TRIBUNAL

Presidente: _____

Vocal: _____

Secretario: _____

Realizado el acto de defensa y lectura del Proyecto Fin de Carrera el día 31 de Octubre de 2012 en Leganés, en la Escuela Politécnica Superior de la Universidad Carlos III de Madrid, acuerda otorgarle la CALIFICACIÓN de

VOCAL

SECRETARIO

PRESIDENTE

Agradecimientos

A mis padres y mi hermano que gracias a su cariño y apoyo moral he podido formarme no sólo académicamente sino también personalmente.

A mis amigos y compañeros de la universidad con los cuales he pasado grandes momentos, y sin los cuales hubiera sido más arduo el camino.

A mi tutor José Antonio, por su ayuda y dedicación mostrada durante el desarrollo de este proyecto.

Resumen

El presente proyecto se enmarca dentro del área de la instrumentación electrónica, más concretamente en la detección de señales de ultrasonidos dentro del rango de frecuencias de MHz y su aplicación en medidas no intrusivas.

En este trabajo se ha desarrollado un sistema de instrumentación basado en el circuito integrado AD9272 de Analog Devices. Este módulo dispone de hasta 8 canales, los cuales están provistos de la electrónica necesaria para realizar el acondicionamiento de las señales entrantes.

En primer lugar, se ha diseñado e implementado una placa de circuito impreso que incorpora dicho dispositivo, los circuitos auxiliares y las conexiones necesarias para realizar un sistema mínimo capaz de acondicionar un canal de ultrasonidos (amplificación, filtrado, conversión A/D y transmisión de señal).

En segundo lugar se ha integrado con un módulo de adquisición e instrumentación virtual, y se ha realizado la caracterización del sistema completo.

Finalmente, tras estudiar diversas aplicaciones posibles para el sistema implementado, se ha realizado una prueba de concepto emulando una de ellas. El experimento desarrollado simula el funcionamiento de un velocímetro de flujo utilizando ultrasonidos y el efecto Doppler.

Palabras clave: ultrasonidos, acondicionamiento analógico, circuitos integrados, efecto Doppler

Abstract

This project falls within the area of electronic instrumentation, specifically it is focused on the detection of ultrasonic signals in the MHz frequency range and its application in non-intrusive measurements.

In this work an instrumentation system based on the integrated circuit AD9272 from Analog Devices was developed. This module has up to 8 channels, which are provided with the functionalities for the electronic conditioning of the input signals.

Firstly, a printed circuit board it's been designed and implemented. It includes the integrated circuit device, the auxiliary circuits and the connections in order to perform a system which is able to condition one ultrasound channel (amplification, filtering, A/D conversion and signal transmission).

Secondly, the printed circuit board it's been interfaced with an acquisition module and virtual instrumentation, and it's been performed the overall system characterization.

Finally, after studying various possible applications for the implemented system, it's been carried out a demonstration by emulating one of them. The developed experiment simulates the operation of a flow velocimeter using Doppler ultrasounds.

Keywords: ultrasounds, analog conditioning, integrated circuits, Doppler

Índice general

1. INTRODUCCIÓN Y OBJETIVOS	1
1.1 Introducción	1
1.2 Objetivos	3
1.3 Fases del desarrollo	3
1.4 Medios empleados.....	4
1.5 Estructura de la memoria	5
2. ULTRASONIDOS Y EFECTO DOPPLER.....	7
2.1 Efecto Doppler	7
2.2 Ensayos no destructivos	11
2.2.1 Aplicaciones industriales.....	14
2.3 Detección de emisiones acústicas	16
2.3.1 Señales de emisiones acústicas.....	18
2.3.2 Aplicaciones de la detección de emisiones acústicas	19
2.4 Velocímetro de flujo sanguíneo	21
2.4.1 Técnica Doppler de onda pulsada.....	22
2.4.2 Técnica Doppler de onda continua.....	24
2.5 Conclusiones	28
3. EL CIRCUITO INTEGRADO AD9272	31
3.1 Elección del dispositivo	31
3.1.1 Fundamentos en aplicaciones de imágenes.....	31
3.1.2 Estructura y operación de un canal.....	33
3.1.3 ANSI 644-LVDS.....	34
3.1.4 Comparación de alternativas.....	36
3.2 Descripción del AD9272.....	38
3.2.1 Amplificador de bajo ruido.....	39
3.2.2 Amplificador de ganancia variable.....	40
3.2.3 Filtro anti-aliasing.....	40
3.2.4 Convertidor analógico-digital	41
3.2.5 Bus SPI.....	41
3.2.6 Conmutador de conexiones cruzadas	43
4. DISEÑO E IMPLEMENTACIÓN DEL SISTEMA.....	45
4.1 Diseño de la placa de circuito impreso	45
4.1.1 Aspectos relativos a las conexiones de AD9272	47
4.1.2 Circuitos complementarios	49
4.2 Implementación de la placa de circuito impreso.....	55
5. CARACTERIZACIÓN Y PRUEBA DE CONCEPTO.....	59
5.1 Caracterización del sistema mínimo	59
5.1.1 Desarrollo del Instrumento Virtual.....	60
5.1.2 Placa de captura de datos HSC-ADC-EVALCZ.....	63
5.1.3 Resultados experimentales.....	64
5.2 Prueba de concepto: velocimetría Doppler	69
5.2.1 Descripción del sistema	70

5.2.2 Resultados experimentales.....	74
6. CONCLUSIONES Y LÍNEAS DE TRABAJO FUTURO	79
6.1 Conclusiones	79
6.2 Líneas de trabajo futuro.....	80
7. PRESUPUESTO	81
7.1 Costes de personal	81
7.2 Costes de material	82
7.3 Subcontratación de tareas	84
7.4 Resumen de Costes.....	85
8. GLOSARIO	87
9. REFERENCIAS.....	89
10. ANEXOS	93
Anexo 1: Fundamentos de los ultrasonidos.....	93
<i>Parámetros básicos</i>	93
<i>Modos de propagación</i>	95
<i>Fenómenos físicos</i>	96
Anexo 2: Planos	98
<i>Anexo 2.1: Circuitos impresos</i>	98
<i>Anexo 2.2: Vistas del instrumento virtual</i>	103
Anexo 3: Catálogos	105
<i>Anexo 3.1: AD9272</i>	105
<i>Anexo 3.2: NDT V326-SU</i>	132
<i>Anexo 3.3: HSC-ADC-EVALCZ</i>	134

Índice de figuras

Figura 1. Diagrama de bloques de sistema de imagen por ultrasonidos [3]	2
Figura 2. Objeto emisor en movimiento [4].....	7
Figura 3. Posición relativa entre el transductor y la partícula reflectora. [4].....	10
Figura 4. Dibujo esquemático del método de transparencia o de sombra [5]	12
Figura 5. Dibujo esquemático del método de impulso-eco [5]	13
Figura 6. Dibujo representativo de phased array lineal. [6].....	14
Figura 7. Ensayo de tubería en servicio [7].....	15
Figura 8. Acero con fisuración inducida por hidrógeno orientada por tensión [7]	15
Figura 9. Esquema que muestra el principio básico de las emisiones acústicas [8]	17
Figura 10. Señal transitoria [8].....	18
Figura 11. Señal continua [8]	19
Figura 12. Diagrama de bloques de sistema de ultrasonidos de pulsada [4].....	22
Figura 13. Parámetros de la ecuación Doppler	25
Figura 14. Diagrama de bloques de sistema de ultrasonidos de onda continua [4]	26
Figura 15. Diagrama de bloques y espectro de frecuencias de filtrado en banda lateral [12]	27
Figura 16. Diagrama de bloques de la demodulación en cuadratura. [12].....	28
Figura 17. Transmisión y recepción de señales de ultrasonidos en aplicaciones de imagen [13]	32
Figura 18. Diagrama de bloques de un canal un CI de front-end analógico [3]	33
Figura 19. Receptor LVDS [14].....	35
Figura 20. Parámetros de la señal LVDS [14]	35
Figura 21. Diagrama de bloques de un canal del dispositivo AD9272.....	39
Figura 22. Ecuación para determinar la resistencia R_{in}	39
Figura 23. Circuito de control del interfaz $GAIN \pm$	40
Figura 24. Circuito para establecer la señal de reloj del componente.....	41
Figura 25. Diagrama de tiempos de la instrucción de cabecera del SPI [17].....	42
Figura 26. Diagrama de tiempos del SPI [17].....	43
Figura 27. Esquemático de alta jerarquía de la placa diseñada.....	46
Figura 28. Esquema del regulador MCP1826S.....	49
Figura 29. Circuito de señal de entrada.....	50
Figura 30. Circuito de reloj	51
Figura 31. Circuito de $GAIN$	52
Figura 32. Circuito de tensión continua ajustable	53
Figura 33. Circuito de Bus SPI	54
Figura 34. Capas bottom (arriba) y top para la generación del fotolito de la placa electrónica	56
Figura 35. Vista superior de la placa de circuito impreso implementada	57
Figura 36. Fotografía del montaje empleado para la realización de la caracterización	59
Figura 37. Vista del software VisualAnalog	61

ÍNDICE DE FIGURAS

Figura 38. Componente ADC Data Capture	61
Figura 39. Componente Input Formatter	62
Figura 40. Componente FFT	62
Figura 41. Componente FFT Analysis	62
Figura 42. Componente Graph	63
Figura 43. Espectro de frecuencias y representación de la señal temporal de la prueba de inicialización.	65
Figura 44. Respuesta en frecuencia de la placa de circuito impreso	66
Figura 45. Espectro de frecuencias para niveles de atenuación de -42 dB y de -13.5 dB.	67
Figura 46. Error de la ganancia en dB en función de nivel de tensión en GAIN+.....	68
Figura 47. Diagrama de bloques de la prueba de concepto.....	69
Figura 48. Generador de funciones utilizado	70
Figura 49. Figura representativa del tanque de agua.....	70
Figura 50. Figura representativa de los transductores piezoeléctricos	71
Figura 51. Bomba de agua utilizada.....	72
Figura 52. Bloque representativo de la placa electrónica diseñada.....	73
Figura 53. Bloque representativo del instrumento virtual.....	73
Figura 54. Instrumento virtual de la prueba de concepto	74
Figura 55. Figura representativa del bloque mixer	74
Figura 56. Espectro de frecuencias del sistema en reposo	76
Figura 57. Espectro de bajas frecuencias del sistema en reposo	76
Figura 58. Espectros de frecuencias del sistema con flujo (4V)	77
Figura 59. Espectros de frecuencias del sistema con flujo (6V)	78
Figura 60. Parámetros de una onda de ultrasonidos [6]	94
Figura 61. Modos de propagación de los ultrasonidos.....	95
Figura 62. Reflexión y refracción de una onda de ultrasonidos [21]	97

Índice de tablas

Tabla 1. Comparación de las características de las diferentes alternativas posibles.....	37
Tabla 2. Modos de funcionamiento del SPI. [17]	42
Tabla 3. Descripción de la función de cada pin	48

Capítulo 1

Introducción y objetivos

1.1 Introducción

La historia del desarrollo de aplicaciones de ultrasonidos comienza en 1794 cuando Lazzaro Spallanzi un biólogo italiano llevo a cabo una serie de experimentos con murciélagos y descubrió su capacidad de navegar gracias a su audición al emitir sonidos de alta frecuencia y posicionar los objetos del mundo real en función de los ecos reflejados [1].

En 1842 el físico austriaco Johann Christian Doppler, presenta su trabajo sobre el "Efecto Doppler" observando ciertas propiedades de la luz en movimiento, que eran aplicables a las ondas de ultrasonidos. Sobre la base de este estudio investigadores japoneses cien años más tarde desarrollarían lo que hoy conocemos como la aplicación del "Efecto Doppler" en ultrasonidos [2].

A lo largo del siglo XIX, los físicos de la época estuvieron trabajando en los fundamentos físicos de la propagación, transmisión y refracción del sonido, pero no fue hasta 1880 cuando los hermanos Curie llevaron a cabo el gran descubrimiento del efecto de la piezoelectricidad, al observar que se producía un potencial eléctrico al ejercer presión mecánica sobre un cristal de cuarzo. El comportamiento inverso fue matemáticamente deducido por el físico Gabriel Lippman en 1881, lo que permitía realmente la generación y recepción de ultrasonidos [1].

A partir de entonces se ha producido una gran evolución en las aplicaciones de ultrasonidos, desde los primeros prototipos de SONAR, o los primeros pasos en la inspección de materiales, hasta la actualidad, en la cual el desarrollo ha alcanzado un gran nivel de sofisticación, incorporando transductores electrónicos, de tiempo real, multifrecuenciales y adaptados al estudio específico de cada aplicación. A día de hoy, un

Capítulo 1: INTRODUCCIÓN y objetivos

gran número de investigadores y científicos siguen desarrollando mejoras para los sistemas de ultrasonidos, consiguiendo cada día sistemas con más versatilidad y prestaciones.

Por lo tanto, sabiendo que las aplicaciones de ultrasonidos siguen muy vigentes en la actualidad, se decidió enfocar el proyecto a crear un sistema para poder procesar señales de ultrasonidos, pero con la característica en particular de que su diseño se debía basar en la utilización de una de las soluciones más utilizadas en la actualidad, se trata de utilizar un circuito integrado de *front-end* analógico cuya utilización en equipamiento de imagen por ultrasonidos está sumamente extendido.

Con ello se consigue aproximarse a un problema del mundo real, diseñando una parte de un sistema de ultrasonidos con la que están equipadas las soluciones comerciales de la actualidad.

En la figura 1 se muestra el diagrama de bloques de un sistema de ultrasonidos tipo, en el que se puede apreciar el bloque del *front-end* analógico.

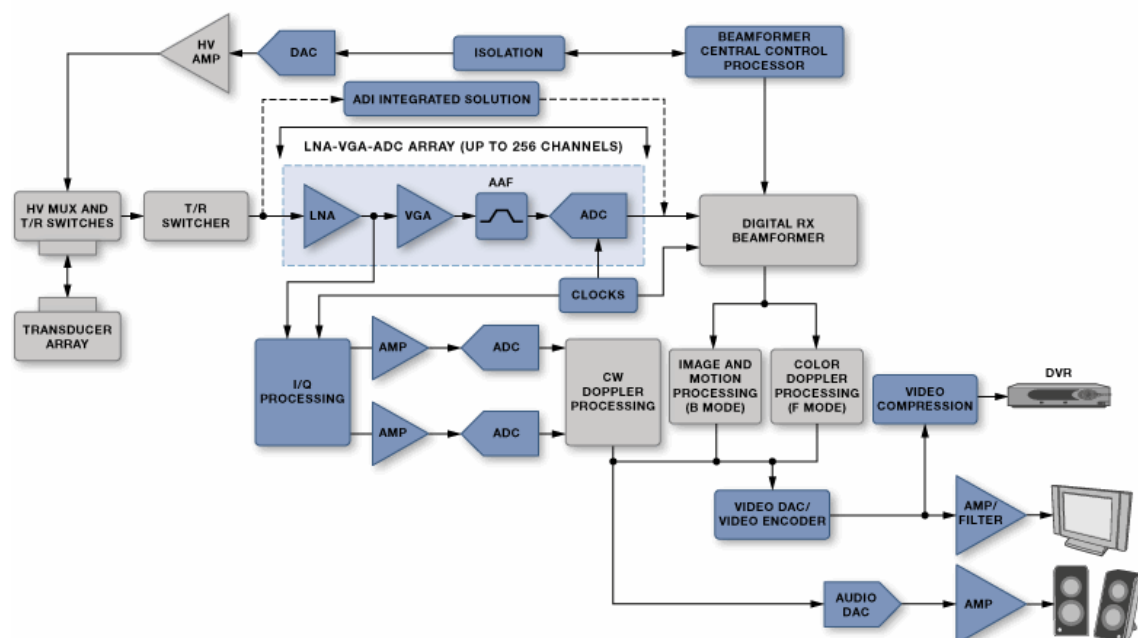


Figura 1. Diagrama de bloques de sistema de imagen por ultrasonidos [3]

1.2 Objetivos

El objetivo principal del presente proyecto y que, a su vez, ha constituido el hito inicial del mismo, ha sido el **diseño y la puesta en marcha de una placa electrónica utilizando un circuito integrado de *front-end* analógico**, en particular con el integrado de Analog Devices **AD9272**, para crear un sistema de medida de señales en la banda de MHz.

En base a este objetivo general se proponen los siguientes objetivos parciales:

- Diseño y fabricación de la placa de circuito impreso
- Establecer una comunicación del hardware desarrollado con un entorno de instrumentación virtual.
- Diseñar un instrumento virtual que permita el análisis de los datos.
- Caracterización del sistema implementado
- Implementación de un experimento que simule un velocímetro de flujo de onda continúa.

1.3 Fases del desarrollo

Para la realización del proyecto se han tenido que realizar las siguientes tareas:

- Estudio de las diferentes alternativas de chips utilizables para el acondicionamiento de señales de ultrasonidos, entre las que se encuentran las soluciones de Texas Instruments y de Analog Devices, y elección razonada de una de las soluciones.
- Diseño y elección de componentes necesarios para la realización de la circuitería externa del circuito integrado para conseguir el correcto funcionamiento del mismo.
- Implementación de un circuito impreso mediante la herramienta OrCAD para su posterior fabricación.
- Fabricación del circuito impreso y soldadura de componentes.

- Caracterización de la placa diseñada, con la ayuda del instrumento virtual.
- Implementación de un sistema de flujo de agua acorde a los recursos disponibles.
- Diseño de un instrumento virtual personal, que complete el velocímetro del flujo de onda continua emulado.
- Realización de pruebas para comprobar el correcto funcionamiento del sistema emulado.

1.4 Medios empleados

Para la realización del proyecto se han utilizado los siguientes recursos:

- Ordenador personal para la búsqueda de información, realización del diseño del sistema, verificación de su funcionamiento, y redacción de la presente memoria.
- Software de diseño de placas de circuito impreso OrCAD de la empresa Cadence.
- Componentes electrónicos para la fabricación del sistema diseñado y placa de captura de datos (HSC-ADC-EVALCZ).
- En el proceso de fabricación de la placa de circuito impreso diseñada, ha sido necesario utilizar la mediación de oficina técnica para la solicitud de soldadura del componente AD9272 a una empresa externa, y la ayuda de los técnicos del laboratorio de electrónica para la soldadura de un par de componentes SMD.
- Software de instrumentación virtual VisualAnalog de la empresa Analog Devices.
- Laboratorio con entorno para caracterización acústica que cuenta con los siguientes dispositivos: osciloscopio, fuente de alimentación, generador de funciones, transductores piezoeléctricos, bomba de agua.

1.5 Estructura de la memoria

A continuación se incluye una breve descripción de los contenidos de cada capítulo.

En el capítulo 2, se presenta la descripción teórica y matemática del efecto Doppler. Además, se hace un estudio sobre las aplicaciones de ultrasonidos que hay en la actualidad, para encuadrar el proyecto y poder darle una visión global.

En el capítulo 3, se describen todas las características y funcionalidades del componente principal del hardware, el circuito integrado AD9272, así como el porqué de su elección.

En el capítulo 4, se detallan los aspectos importantes a tener en cuenta en el diseño de la placa de circuito impreso y se explican las distintas partes que la componen, en cuanto a su funcionamiento y diseño.

En el capítulo 5, se presentan las diferentes pruebas realizadas con un sistema mínimo que incluye la placa de circuito impreso con el fin de obtener su caracterización. Por otra parte se describe la aplicación emulada mediante un experimento y los resultados obtenidos en la misma.

En el capítulo 6, se presentan las conclusiones obtenidas en el desarrollo de este proyecto y se proponen las líneas de trabajo futuras.

En el capítulo 7, se realiza un desglose de los recursos tanto materiales como humanos y un simulacro del presupuesto necesario si esta propuesta la desarrollara una empresa.

Asimismo, se incluyen al final del documento los apartados normalizados: Glosario, Referencias y Anexos.

Capítulo 2

Ultrasonidos y efecto Doppler

En este capítulo se presenta la descripción del efecto Doppler que será utilizado con ultrasonidos. En el anexo 1 se incluye una breve introducción a los ultrasonidos. Adicionalmente, en el presente capítulo se hace un estudio de las aplicaciones de ultrasonidos que hay en la actualidad, para enmarcar con ello el proyecto y darle una visión global.

2.1 Efecto Doppler

Johann Cristian Doppler enunció el efecto que lleva su nombre para describir el cambio de frecuencia que se produce en la recepción de las ondas emitidas por una fuente generadora de sonido, cuando el objeto productor de dichas ondas y el receptor de las mismas se mueven uno con respecto al otro.

Los ejemplos de este fenómeno se reproducen numerosas veces en la vida diaria, siendo el más típico el cambio de tonalidad en el silbato del tren, que escuchamos con tono agudo cuando se acerca al punto del observador y con tono grave cuando se aleja del mismo.

La variación en la frecuencia está relacionado con la contracción y la expansión de las longitudes de onda delante o detrás del objeto en movimiento que emite el sonido (Véase figura 2).

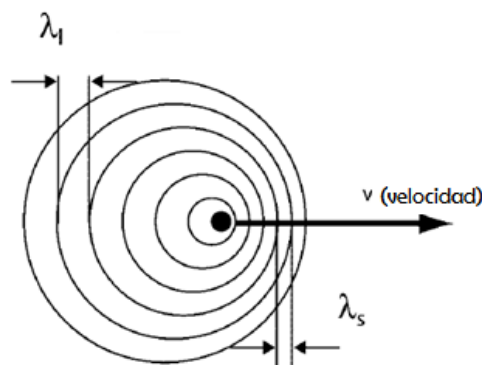


Figura 2. Objeto emisor en movimiento [4]

Capítulo 2: ULTRASONIDOS y efecto Doppler

Como sabemos la longitud de onda, λ , es la velocidad de propagación del sonido, c , dividida por la frecuencia del sonido f . Considerando la velocidad del objeto en movimiento, v , podemos determinar las expresiones para las longitudes de onda:

$$\lambda_1 = \frac{c + v}{f} = \frac{c}{f - \Delta f}$$

$$\lambda_2 = \frac{c - v}{f} = \frac{c}{f + \Delta f}$$

Hay que constatar que estas ecuaciones están aplicadas a la condición específica en la que el objeto en movimiento está viajando en la misma dirección en la que se encuentra el observador ya sea alejándose o acercándose al mismo.

A continuación, se realiza la demostración matemática del efecto Doppler la cual ha sido adaptada de la referencia [3]. Esta demostración matemática está enfocada a las aplicaciones industriales con ultrasonidos, dando como resultado una ecuación, la cual se utiliza para estimar la velocidad del objeto o fluido a medir.

En las aplicaciones con ultrasonidos se utiliza el enfoque de transmisión-eco, por tanto, hay que tener en consideración el efecto Doppler cuando el sonido alcanza la partícula reflectora y cuando el sonido es reflejado al transductor ultrasónico.

Así la frecuencia del sonido incidente en la partícula reflectora cambiara debido a que la velocidad relativa de la partícula es añadida a la velocidad de propagación del sonido. Sabiendo que f_0 , es la frecuencia del ultrasonido producido por el transductor y λ_0 su longitud de onda, podemos determinar la frecuencia del sonido percibida por la partícula reflectora f_{PR} , a partir de la siguiente expresión:

$$f_{PR} = \frac{c + v_{PR}}{\lambda_0} = f_0 + \frac{v_{PR}}{\lambda_0}$$

A continuación, el ultrasonido es reflejado hacia el transductor, y la frecuencia del ultrasonido con la que llega al transductor varía en relación con la velocidad de la partícula reflectora:

$$f' = f_{PR} + \frac{v_{PR}}{\lambda_{PR}} = f_0 + \frac{v_{PR}}{\lambda_0} + \frac{v_{PR}}{\lambda_{PR}}$$

Esta última ecuación para la frecuencia con la que el ultrasonido llega al transductor, f' , puede ser reescrita para dejarla en términos de la frecuencia original, f_0 , la velocidad de la partícula, v_{PR} , y la velocidad de propagación c :

$$f' = f_0 + 2f_0 \left(\frac{v_{PR}}{c} \right) + f_0 \left(\frac{v_{PR}}{c} \right)^2$$

Por tanto, el desplazamiento de frecuencia Doppler, f_D , será la diferencia entre la frecuencia de retorno f' , y la frecuencia original f_0 :

$$\begin{aligned} f_D &= f' - f_0 \\ &= f_0 + 2f_0 \left(\frac{v_{PR}}{c} \right) + f_0 \left(\frac{v_{PR}}{c} \right)^2 - f_0 \\ &= 2f_0 \left(\frac{v_{PR}}{c} \right) + f_0 \left(\frac{v_{PR}}{c} \right)^2 \end{aligned}$$

El término que está al cuadrado al final de la última ecuación puede ser despreciado, ya que $v_{PR} \ll c$, teniendo un valor v_{PR} en torno al 0,1% de la velocidad de propagación del sonido, c . Por tanto, el desplazamiento de frecuencia Doppler se puede expresar:

$$f_D \cong \frac{2f_0 v_{PR}}{c}$$

Por último, hay que considerar que la velocidad relativa entre la partícula y el transductor depende del ángulo existente entre la dirección de propagación del sonido y la dirección del movimiento de la partícula (Véase Figura 3)

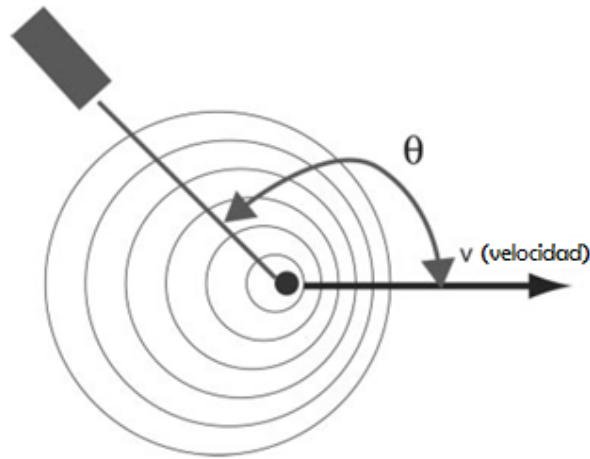


Figura 3. Posición relativa entre el transductor y la partícula reflectora. [4]

En otras palabras, si la partícula estuviera viajando en la misma dirección que el haz de ultrasonidos, la velocidad relativa estaría al máximo, es decir, $v_{PR} = v_r$. Por tanto, la velocidad relativa se puede expresar como $v_r = v_{PR} \cdot \cos \theta$. Así pues, introduciendo esta relación dentro de la última ecuación, obtenemos la expresión para la frecuencia Doppler que es usada en la mayoría de textos científicos:

$$f_D = \Delta f = \frac{2 \cdot f_0 \cdot v_r}{c}$$

$$= \frac{2 \cdot f_0 \cdot v_{PR} \cdot \cos \theta}{c}$$

Esta ecuación proporciona la capacidad de estimación de la velocidad de un objeto o fluido con equipos de ultrasonidos. Sin embargo, no hay que olvidar que siempre van a existir algunas complicaciones al evaluar esta información en función de la aplicación. Por ejemplo, en el caso de estimar la velocidad de la sangre a través de una vena existirán aspectos como la geometría o el gradiente de velocidades que existen en la propia vena, que hará necesario la utilización de ciertas aproximaciones para realizar una medida lo más efectiva posible.

2.2 Ensayos no destructivos

Los ensayos no destructivos (END) como su nombre indica permiten obtener información del material sin causar ningún daño. Son especialmente importantes, por tanto, en el control de calidad de un producto y la inspección de piezas en servicio, permitiendo detectar fisuras o impurezas, y determinar su tamaño y posición.

En los END con ultrasonidos se utilizan las oscilaciones ultrasónicas para la detección de defectos, establecer las dimensiones o caracterización de diferentes materiales y piezas.

Los procedimientos usados para la realización de END por ultrasonidos son los siguientes:

- *Método de resonancia:* Se utiliza para la medida muy precisa de espesores de chapas de superficies paralelas. El principio de funcionamiento se basa en que cuando se propaga una onda por un medio metálico, y llega a una cara plana exterior después de haber recorrido media longitud de onda o un número entero de ellas, la onda reflejada se refuerza por superponerse en fase produciéndose la resonancia.

El ensayo consiste entonces en variar la frecuencia de la onda emitida hasta que se detecte la resonancia, entonces se podrá asegurar que el espesor de la chapa es un múltiplo de media longitud de onda.

Cuando se produce por primera vez la resonancia, no sabemos el número entero de pasos de media longitud de onda que la han producido, por lo que aumentaremos la frecuencia hasta que se produzca de nuevo resonancia. Entonces, la diferencia de frecuencias nos señalara la frecuencia fundamental de resonancia y como media longitud de onda es igual a la mitad del cociente entre la velocidad del sonido en el material y la frecuencia fundamental, podremos calcular dicha semilongitud de onda que es la medida del espesor de la chapa.

◦ *Método de transparencia o de sombra:* En este método un transductor emisor generará un haz de ondas ultrasónicas, que será recibido por otro transductor receptor. Cuando el haz de ondas ultrasónicas es interceptado por un obstáculo, disminuye la intensidad acústica del haz ultrasónico captada por el receptor y en función de dicha disminución se puede determinar el tamaño del obstáculo interceptor. En la figura 4 se puede observar un dibujo esquemático del funcionamiento de este método.

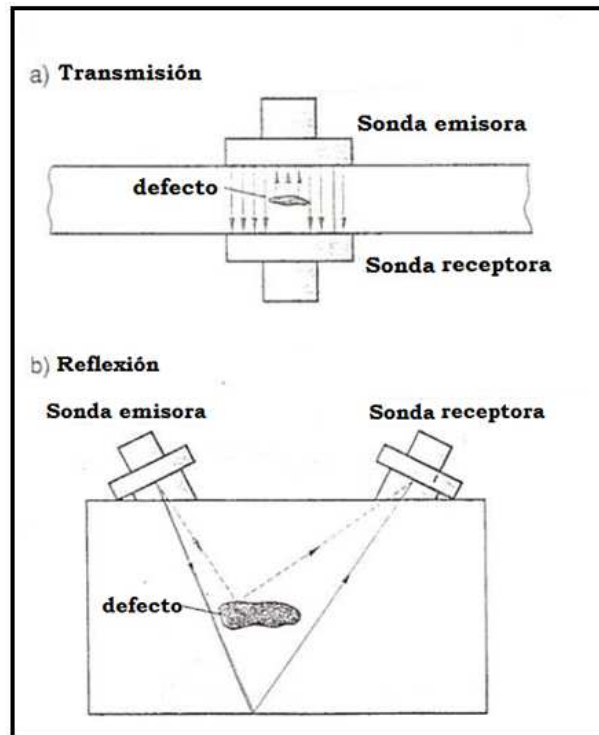


Figura 4. Dibujo esquemático del método de transparencia o de sombra [5]

◦ *Método de impulso-eco:* En este método se utiliza un único transductor que hará las funciones tanto de emisor como de receptor, lo que facilita en gran manera la operación. La interferencia de las ondas emitidas con las reflejadas impide la utilización de ondas continuas, y se hace necesaria la utilización de impulsos.

El funcionamiento consiste en que el haz ultrasónico se propagará a través de la pieza, cuando este encuentre la superficie exterior de fondo se reflejará casi en su totalidad, igualmente que si encuentra una discontinuidad parte de la energía será reflejada. Por tanto, en función de la energía de los ecos reflejados, y del tiempo de vuelo de la señal se podrán determinar los defectos de una pieza. (Véase Figura 5).

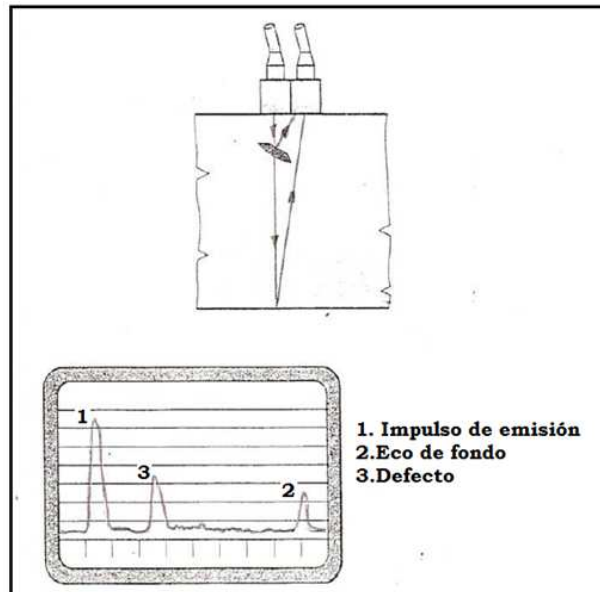


Figura 5. Dibujo esquemático del método de pulso-eco [5]

A la hora de realizar estos procedimientos, en los comienzos se utilizaban transductores con un solo cristal piezoeléctrico para enviar y recibir las señales, y el desplazamiento por la superficie de la pieza se realizaba de manera manual, lo que requería de un inspector con conocimientos para la interpretación de los resultados. A continuación la inspección se automatizó para conseguir la inspección de toda la pieza y la reducción del tiempo de inspección. Pero los tiempos de inspección seguían siendo excesivos, por lo que aparecieron los transductores multicanal, que tenían cristales piezoeléctricos separados para transmitir y recibir respectivamente.

Sin embargo, al mismo tiempo que los transductores multicanal se empezó a utilizar un transductor el cual su uso estaba bastante extendido en el campo de la medicina, los phased arrays. Desde entonces los phased arrays se han venido empleando en la inspección de soldaduras, medida del espesor de perfiles o la detección de grietas en servicio, llegando a ser los transductores más importantes en el campo de ensayos no destructivos mediante ultrasonidos.

Las sondas phased array, constan típicamente de un transductor que contiene entre 16 y 256 elementos individuales los cuales pueden ser excitados por separado. Estos elementos pueden ser organizados en diferentes disposiciones (array lineal, matriz 2D, array circular, etc.), un ejemplo de phased array lineal se puede observar en la figura 6.

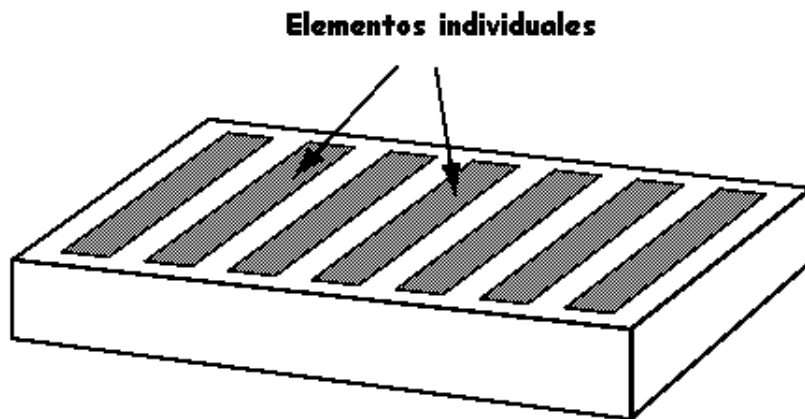


Figura 6. Dibujo representativo de phased array lineal. [6]

2.2.1 Aplicaciones industriales

En este apartado se citan unas pocas aplicaciones de ensayos no destructivos adaptados de la referencia [6]. Esta lista está muy lejos de ser exhaustiva, sin embargo, proporciona un acercamiento a los diferentes tipos de usos y la gran variedad de industrias en las que se aplican los END. Entre las industrias en las que los END son de gran aplicación se puede citar: nuclear, petroquímica, aeronáutica y fabricación.

- **Ensayos en servicio de tuberías con agrietamientos por esfuerzos y corrosión**

Esta aplicación es la detección de grietas por corrosión en las tuberías de alimentación de un reactor nuclear. Las tuberías están hechas de acero, con un acceso limitado entre las tuberías. Los niveles de radiación son elevados, por lo que los ensayos se deben realizar rápidamente.

La solución para ello fue usar un phased array portable con una frecuencia de 10 MHz y una sonda de 16 elementos, con un pequeño *encoder* rotativo incorporado (Figura 7).

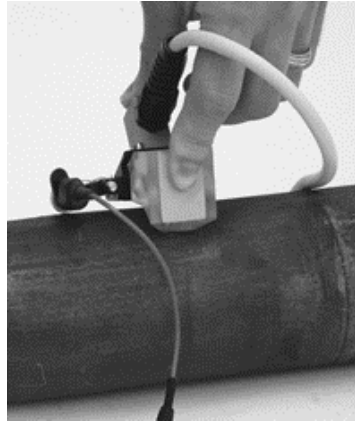


Figura 7. Ensayo de tubería en servicio [7]

- **Agrietamiento inducido por hidrógeno**

El agrietamiento inducido por hidrógeno implica la difusión de hidrógeno en aceros, donde se forman típicamente ampollas laminares en las inclusiones. El agrietamiento estándar es benigno y fácilmente detectado por ultrasonidos, pero se puede producir grietas entre las ampollas, lo cual es estructuralmente indeseable. Esta fisuración por hidrógeno orientada por la presencia de tensión es más difícil de caracterizar usando ultrasonidos convencionales. El objetivo es determinar de forma fiable si existe esa fisuración.

Para ello, se utilizó un phased array estándar de uso manual con el que detectar rápidamente agrietamiento inducido por hidrógeno. Típicamente, el haz se enfocó a mitad de pared, ya que la mayoría del agrietamiento inducido por hidrógeno y la fisuración por hidrógeno orientada por la presencia de tensión se produce a una profundidad de $1/3$ a $2/3$.

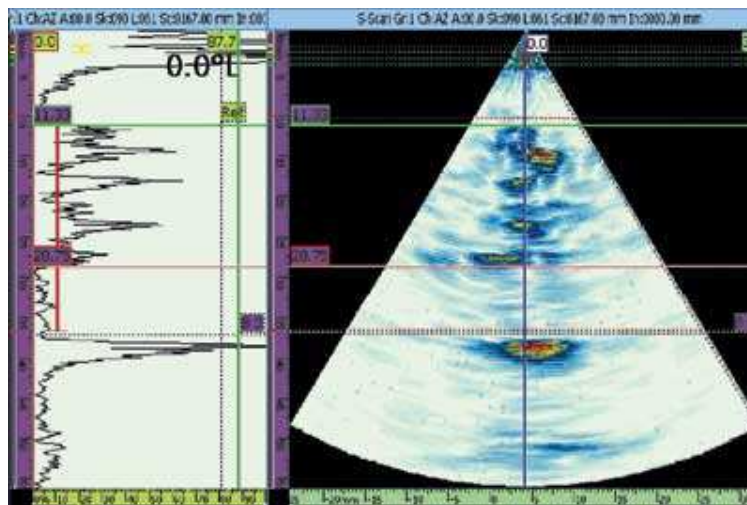


Figura 8. Acero con fisuración inducida por hidrógeno orientada por tensión [7]

- **Ensayos de materiales compuestos (*composites*)**

Existen muchos ensayos de *composites* en la industria aeronáutica. Esta aplicación en particular fue para una fibra de carbono de 6 mm de espesor. El objetivo es conseguir fiabilidad en la detección y la medida de las discontinuidades, y el almacenamiento de todos los datos. La solución para ello fue usar un phased array portable a frecuencia de 5 MHz y una sonda de 32 elementos.

2.3 Detección de emisiones acústicas

El principio básico de las técnicas de emisiones acústicas se fundamenta en el hecho de que casi todos los materiales emiten pulsos sonoros cuando se someten a una carga. Esta emisión se origina por los micro-agrietamientos que ocurren por la aplicación de las cargas, generalmente en grietas, defectos o porosidades. Las emisiones acústicas son una técnica pasiva que “escucha” el sonido emitido en el material, y ubica la fuente de la misma.

De acuerdo con la definición de la ASTM, las emisiones acústicas son el fenómeno mediante el cual las ondas elásticas transitorias son generadas por la rápida liberación de energía procedente de fuentes localizadas dentro de un material.

Por lo tanto, una inspección por emisiones acústicas requiere la existencia de carga externa en la pieza o elemento que se inspecciona, así como de sensores que se utilizan para “escuchar”, y de un sistema de análisis que correlacione las señales recibidas por los sensores, e identifique la fuente del sonido.

Dentro de los materiales pueden ocurrir diversos fenómenos que producen emisiones acústicas entre los cuales cabe destacar los siguientes:

1. Formación y crecimiento de grietas
2. Realineamiento molecular, o crecimiento de dominios magnéticos por procesos magneto-mecánicos (efecto Barkhausen)
3. Cambios micro estructurales como el movimiento de dislocaciones o cambios de fase

4. Fracturas de inclusiones frágiles o películas
5. Fractura de fibras y delaminación en materiales compuestos
6. Actividad química como la corrosión

En síntesis se puede decir que las emisiones acústicas “escuchan” el sonido generado por el daño que se incrementa dentro del material (Veáse figura 9).

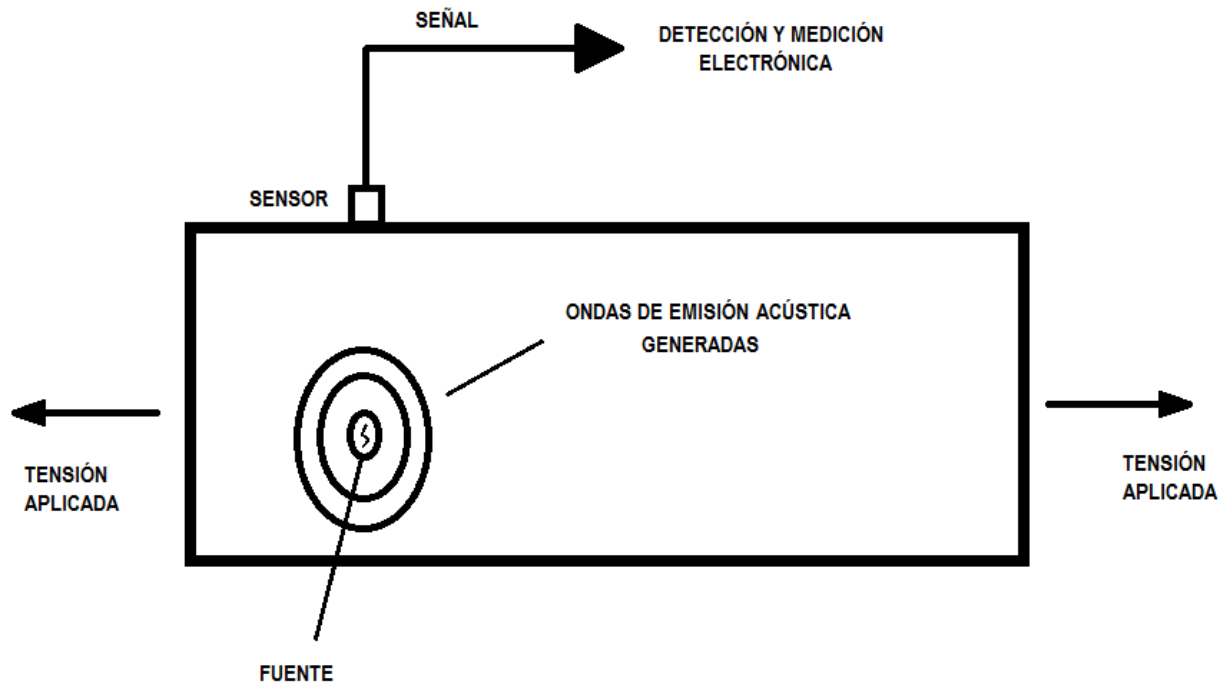


Figura 9. Esquema que muestra el principio básico de las emisiones acústicas [8]

La diferencia entre la técnica de emisiones acústicas y los ensayos no destructivos, es que las EA detectan los procesos que ocurren dentro de los materiales, mientras los END examinan las estructuras internas de los materiales. Además, las emisiones acústicas solo necesitan la entrada de uno o más sensores colocados en la superficie de una estructura u objeto, para que este sea monitorizado de forma continua, mientras que los END tienen que barrer de forma completa el objeto o estructura a examinar lo que dificulta la inspección. Así pues las ventajas que presentan las EA respecto a los ensayos no destructivos son:

- Los defectos hacen su propia señal (responden a carga, por eso permiten un descubrimiento rápido y temprano de defectos).

- La EA detecta los movimientos (otros métodos no destructivos detectan las discontinuidades geométricas)
- Detección de crecimiento/movimiento de los defectos
- Monitorización global en tiempo real
- Detección de disposición de posibles defectos

Sin embargo, los sistemas de emisiones acústicas presentan como desventaja:

- Ruido exterior
- Interpretación de los resultados

2.3.1 Señales de emisiones acústicas

Las señales de emisiones acústicas cubren un amplio rango de frecuencias y niveles de energía, sin embargo, se suelen clasificar por:

1) *Señal transitoria*

Estas señales tienen puntos definidos claramente de principio y final de ruido que provoca un defecto. Estas señales son características de la aparición y crecimiento de fisuras en un material.

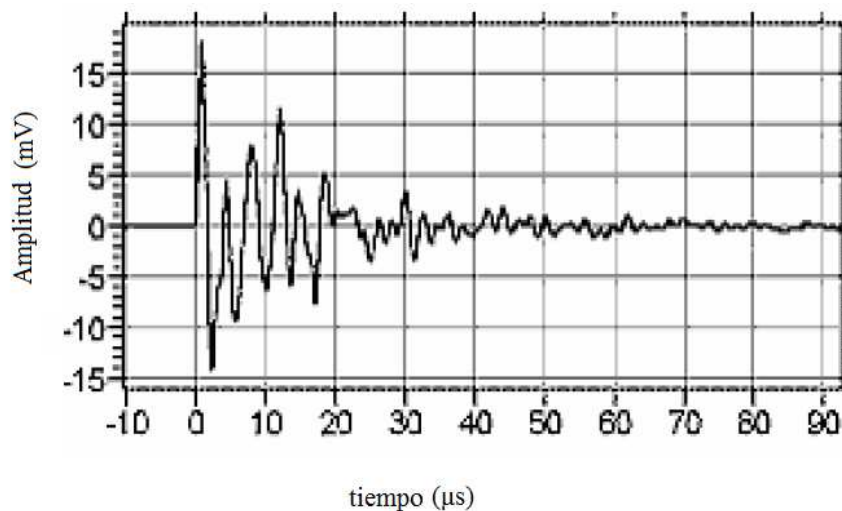


Figura 10. Señal transitoria [8]

2) *Señal continua*

Son ondas continuas que tienen amplitudes y frecuencias variadas, pero nunca se terminan. Estas señales son debidas a movimiento de dislocaciones. (Ver figura 11)

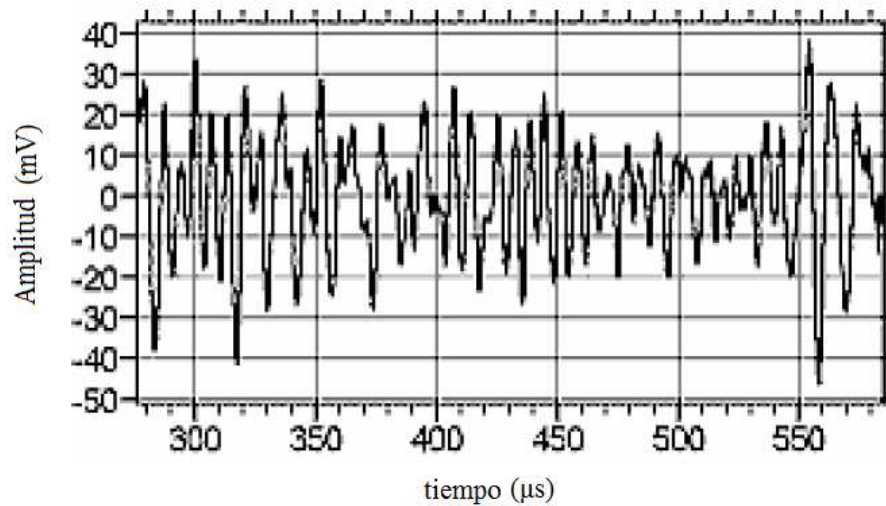


Figura 11. Señal continua [8]

2.3.2 Aplicaciones de la detección de emisiones acústicas

El método de EA puede ser aplicado prácticamente a cualquier estructura que se encuentre sujeta a esfuerzos, ya sean mecánicos o térmicos o una combinación de ambos. La técnica puede aplicarse tanto para estudios, ensayos en laboratorio o monitorización e inspección de estructuras “in situ”.

Se pueden encontrar aplicaciones de emisiones acústicas en la industria de la Construcción, Química, Aeronáutica, Cerámica, así como en el sector de la electricidad. A continuación se describen una serie de procedimientos típicos para el mantenimiento de diferentes componentes en el ámbito industrial:

- **Detección de descargas parciales**

Las máquinas eléctricas y transformadores requieren un diagnóstico del envejecimiento de sus materiales (aceite, conductores, aislamientos) que permita indicar su estado. Uno de los síntomas de esta degradación es la aparición de descargas parciales, asociadas a la degradación de los aislantes, y serán estas emisiones acústicas las que se utilizarán en el diagnóstico del equipo examinado.

- **Detección de corrosión**

Los productos de corrosión por lo general forman una cascarilla, la cual es frágil y cuando la estructura se somete a carga o presión, esta cascarilla se rompe generando ondas de emisión acústica las cuales pueden ser detectadas, registradas y analizadas. De esta forma es posible detectar daños por corrosión en tanques, recipientes, tuberías y otros.

- **Evaluación de soldaduras**

En general, las soldaduras presentes en casi cualquier componente pueden ser inspeccionadas mediante el método de EA. La inspección de muchas estructuras soldadas tales como: tanques atmosféricos de almacenamiento, recipientes a presión, tuberías, puentes, etc., han sido aplicaciones exitosas de la técnica de EA.

- **Monitorización de enfriamiento**

En ciertos tipos de recipientes de pared gruesa o que trabajan a altas temperaturas, los esfuerzos resultantes de un enfriamiento rápido pueden ser suficientes para estimular los defectos existentes y producir emisión acústica. En este caso la monitorización del enfriamiento arrojará información para una posterior inspección y mantenimiento, resultando en una considerable reducción de tiempo por paro de equipo.

2.4 Velocímetro de flujo sanguíneo

En los últimos años, las prestaciones de los ultrasonidos se han incrementando enormemente. Una de las técnicas que han proporcionado estos avances ha sido la utilización de los ultrasonidos Doppler para tal propósito, la cual posibilita determinar la dirección del movimiento de un fluido y su velocidad relativa.

Uno de los campos en los que ha tenido gran importancia esta técnica ha sido en la medicina, más concretamente en el ramo del diagnóstico. Así la monitorización y estimaciones de velocidad de flujo sanguíneo basadas en el efecto Doppler mediante el uso de señales de ultrasonido se ha convertido en una herramienta importante para el ámbito clínico [9]. Usando estos sistemas de ultrasonidos para la medida de flujo, es posible detectar anomalías en los vasos sanguíneos tal como bloqueos u obstrucciones de manera no invasiva y en tiempo real [10].

Algunas aplicaciones clínicas incluyen la detección, mapeo y estimación de velocidad de flujo cardíaco; el diagnóstico del sistema vascular periférico (principalmente aterosclerosis), padecimientos venosos (trombosis venosa profunda) y el diagnóstico de tumores (por medio de la detección de pequeños vasos asociados con neovascularización) [11].

Dentro de los sistemas de ultrasonidos Doppler existen dos métodos de funcionamiento básicos: Doppler de onda continua y de onda pulsada. Difieren en las características de funcionamiento, los procedimientos de procesamiento de señales y en los tipos de información proporcionada. A continuación se presentan los conceptos y principales características de cada uno de ellos:

2.4.1 Técnica Doppler de onda pulsada

En esta técnica se utiliza un solo cristal tanto para transmitir como para recibir ondas acústicas. El transductor es excitado a intervalos regulares por una señal eléctrica en forma de pulsos para generar el correspondiente tren de pulsos de ultrasonidos. De este modo, se reciben ecos de forma regular desde los reflectores. La frecuencia a la que el transductor emite un pulso ultrasónico es conocida como frecuencia de repetición de pulsos (FRP).

Debido a que en los instrumentos Doppler OP los pulsos ultrasónicos tienen una duración finita, es posible calcular el tiempo de vuelo del pulso ultrasónico y, por consiguiente, la profundidad del reflector. Por tanto, conociendo el tiempo de vuelo (T_v), el cual es el tiempo que tarda la onda en viajar desde el transductor al objeto y del objeto al transductor, se puede determinar la distancia (d) entre el transductor y el objeto que produce el eco, a partir de la siguiente expresión:

$$d = \frac{T_v \cdot c}{2}$$

Esta última ecuación sirve entonces para localizar la profundidad de los desplazamientos de frecuencia Doppler. En la figura 12, se puede observar un diagrama de bloques de un instrumento Doppler OP.

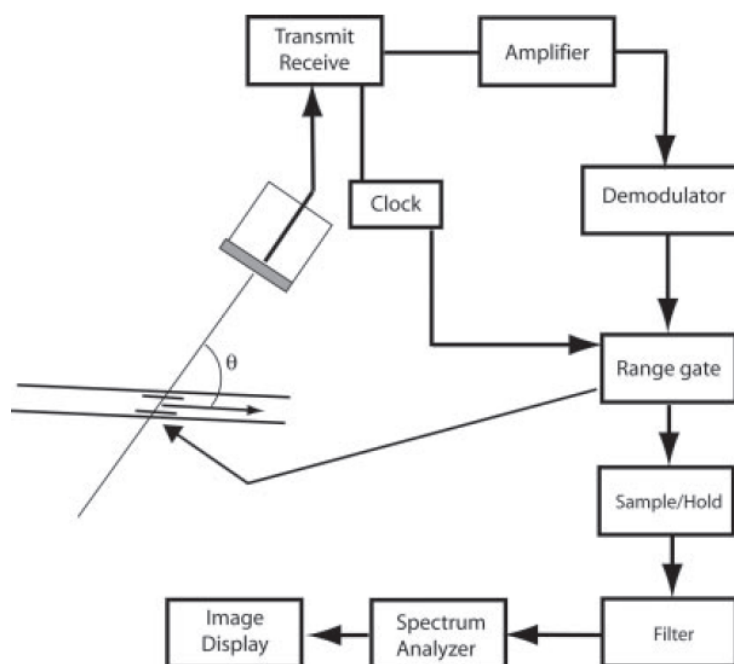


Figura 12. Diagrama de bloques de sistema de ultrasonidos de pulsada [4]

Como ya se ha comentado, este sistema usa un único transductor el cual transmite un pulso en un eje con respecto al flujo a medir definido por el operador. Un tren de pulsos es transmitido hacia el volumen de muestra a una profundidad que depende del “*range gate*”, el cual es ajustable por el operador y permite que los ecos de retorno de un rango determinado de tiempo sean excluidos del análisis por el sistema de instrumentación, de tal modo que sólo sea utilizada la información relevante.

Adicionalmente, el operador deberá determinar el ángulo de incidencia entre el haz de ultrasonidos y la dirección del flujo sanguíneo, los ángulos entre 30° y 60° son los más utilizados, y los que proporcionan el mínimo error en la estimación de la velocidad.

La información del desplazamiento de frecuencia Doppler es estimada mediante la acumulación del desplazamiento de fase a lo largo del tren de pulsos. A esto se suele referir como el bloque “*sample and hold*” del instrumento de OP.

Como la distancia entre los reflectores y el transductor cambia entre pulsos, la fase de los ecos de retorno entre dos pulsos sucesivos transmitidos cambia en proporción de la velocidad del fluido [4]. Esta información será finalmente filtrada y representada en el espectro de la frecuencia.

Sin embargo, el método Doppler de onda pulsada está sujeto al efecto del *aliasing*. Según el criterio de Nyquist, para evitar el *aliasing* es necesario que la tasa de muestreo sea al menos dos veces mayor que la máxima frecuencia de la señal muestreada. Por tanto, sabiendo que la tasa de muestreo es igual a la frecuencia de repetición de pulsos (FRP) este podrá alcanzar un máximo en función de la profundidad a la que quiera medirse el flujo y viene dictado por la siguiente expresión:

$$FRP_{max} = \frac{c}{2 \cdot profundidad}$$

Por tanto, la frecuencia Doppler máxima que se podrá medir sin incurrir en *aliasing*, será igual a la mitad de la frecuencia de repetición de pulsos máxima:

$$f_{Dmax} = \frac{FRP_{max}}{2}$$

2.4.2 Técnica Doppler de onda continua

En este método, el haz ultrasónico se transmite y se muestrea de forma continua, por lo tanto, no hay ninguna información sobre el intervalo de tiempo entre el envío de la señal y su reflexión. Esto conlleva que no hay información sobre la profundidad de la señal recibida, por tanto, no se pueden localizar de forma precisa las anomalías, pero al mismo tiempo se pueden registrar velocidades muy elevadas

Una unidad de OC usa dos cristales independientes, ya sean acopladas en un mismo transductor o usando un par de transductores. El transmisor (Tx) será el encargado de emitir ondas continuas, las cuales son generadas al aplicar una señal eléctrica sinusoidal al mismo, y el receptor (Rx) se encargará de detectar los ecos provenientes del torrente sanguíneo. El transmisor debe formar cierto ángulo con el receptor tal que la onda incidente no se traslape con la onda reflejada. La sección donde se intersecan ambas señales corresponde a la sección de muestra.

En los instrumentos Doppler de onda continua se utiliza directamente el efecto Doppler para determinar la velocidad de la sangre. Por lo tanto, a partir de la expresión demostrada en el apartado 2.1, se puede establecer la velocidad con la que fluye la sangre:

$$v_{FS} = \frac{c \cdot f_D}{2 \cdot f_0 \cdot \cos \theta}$$

En donde v_{FS} es la velocidad de los hematíes en un instante determinado en cm/s; f_0 es la frecuencia de emisión del transductor de ultrasonidos, habitualmente entre 1 y 10 MHz; f_D es la frecuencia Doppler, es decir, el desplazamiento de frecuencia producido; c es la velocidad del ultrasonido en la sangre (1.54×10^5 cm/s) y $\cos \theta$ es el coseno del ángulo formado por el haz del sonido y la dirección del flujo. Se puede ver un gráfico detallado en la siguiente figura.

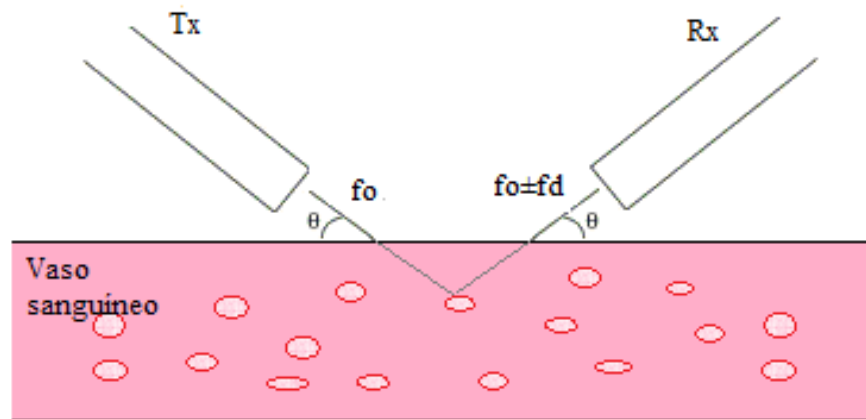


Figura 13. Parámetros de la ecuación Doppler

- **Extracción de la frecuencia Doppler**

A continuación se describen los fundamentos de instrumentación necesarios para poder determinar la frecuencia Doppler.

La señal transmitida por el emisor puede ser definida mediante la siguiente expresión:

$$T(t) = A_0 \cdot \cos \omega_0 t$$

donde $\omega_0 = 2\pi f_0$ siendo f_0 la frecuencia de operación del emisor.

Considerando que la señal reflejada que capta el emisor está formada por la portadora y la señal Doppler:

$$R(t) = A_0 \cdot (\cos \omega_0 t + \varphi_0) + A_d \cdot (\cos \omega_0 t + \cos \omega_d t + \varphi_d)$$

donde ω_d y φ_d , son la frecuencia angular y la fase de la señal Doppler.

Para extraer la información será necesario hacer un mezclado (multiplicado) de la señal emitida con la señal recibida:

$$X(t) = \frac{A_0 \cdot A_d}{2} \{ \cos(\omega_d t + \varphi) + \cos([2\omega_0 + \omega_d]t + \varphi) \}$$

Por tanto, si se utiliza un filtro paso bajo para eliminar las componentes de alta frecuencia se obtiene la señal Doppler buscada.

$$X(t) = \frac{A_0 \cdot A_d}{2} \cos(\omega_d t + \varphi)$$

En la figura 14 se muestra el diagrama de bloques de un dispositivo de ultrasonidos Doppler de onda continua tipo. En él se aprecian los bloques necesarios para la implementación física de la teoría anteriormente descrita.

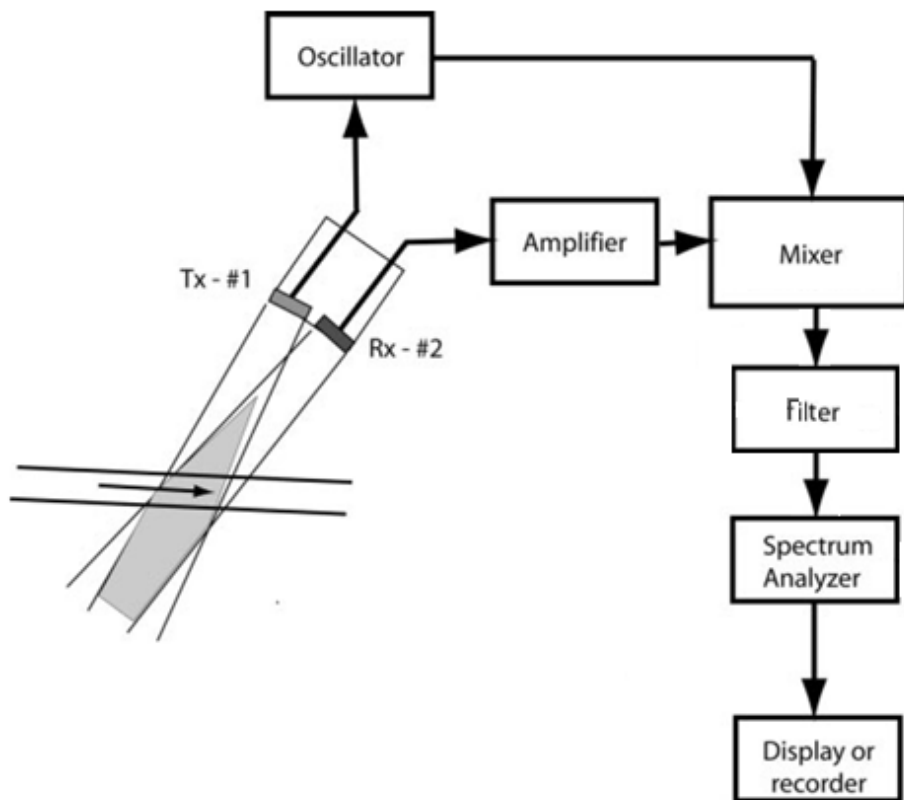


Figura 14. Diagrama de bloques de sistema de ultrasonidos de onda continua [4]

Esta primera configuración para determinar la frecuencia Doppler nos indica solo un valor absoluto, y no contiene ninguna información acerca del sentido del movimiento. Diversas técnicas pueden ser utilizadas entre las que se encuentran filtrado de banda lateral, y demodulación en cuadratura [12].

En el filtrado de banda lateral, se divide la señal recibida y a cada rama se le aplica un filtro paso banda. Uno de los filtros dejará pasar señales en el rango $\omega_s < \omega < \omega_s + \omega_m$, mientras que el otro lo hará en el rango $\omega_s - \omega_m < \omega < \omega_s$. La salida de cada filtro pasará a través de un mezclador y un filtro a semejanza de la configuración básica.

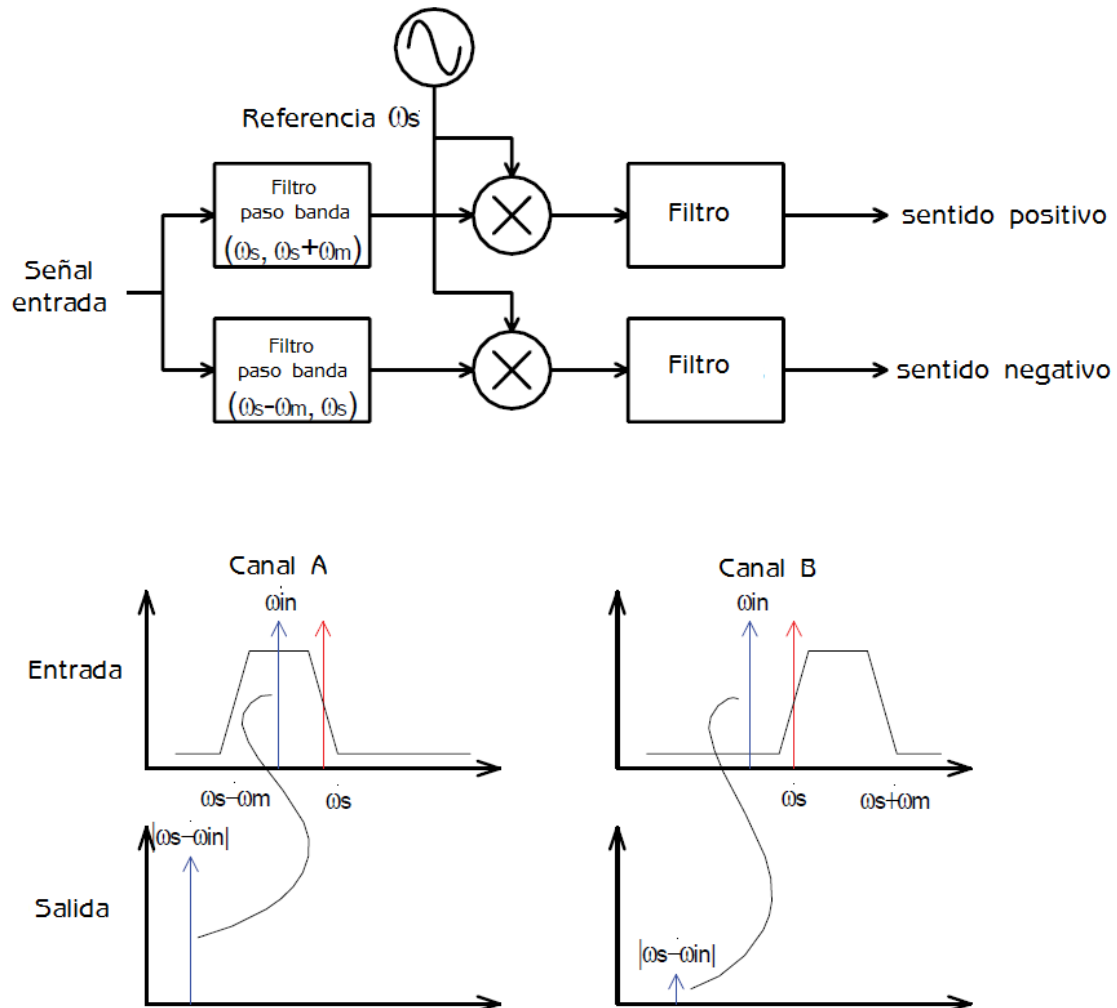


Figura 15. Diagrama de bloques y espectro de frecuencias de filtrado en banda lateral [12]

En la demodulación en cuadratura también se divide la señal recibida en dos canales, el canal en fase o canal I, y el canal en cuadratura o canal Q, ambos están formados por un mezclador y un filtro paso bajo como el caso del proceso básico. La diferencia reside en que la referencia del canal Q estará desfasada un cuarto de periodo (de ahí el nombre).

El sentido del movimiento del fluido será determinado tomando la relación entre la señal en fase y la señal en cuadratura:

- Si la señal $Q(t)$ esta retardada $\pi/2$ con respecto a $I(t)$, el sentido es positivo.
- Si la señal $Q(t)$ esta adelantada $\pi/2$ con respecto a $I(t)$, el sentido es negativo.

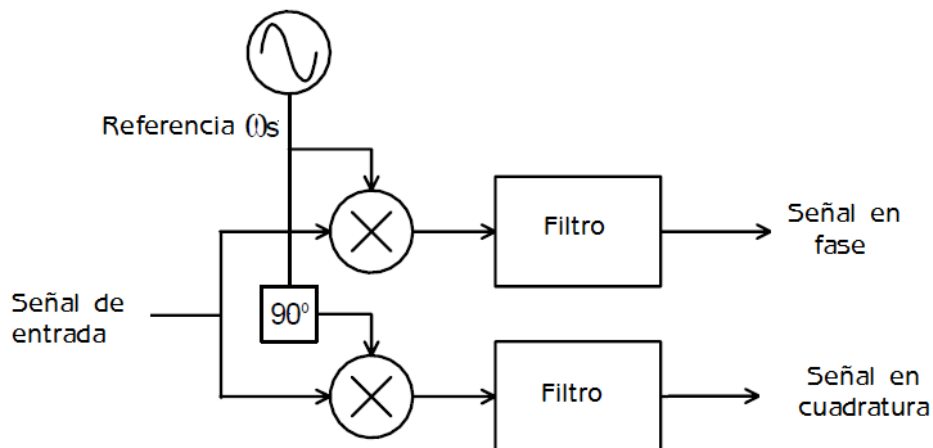


Figura 16. Diagrama de bloques de la demodulación en cuadratura. [12]

Por último, es importante tener en cuenta que cada hematíe dentro de un vaso sanguíneo se mueve con una velocidad determinada, y conociendo que en un vaso sanguíneo existen múltiples hematíes se producirá un determinado rango frecuencias Doppler. Este fenómeno se conoce como ensanchamiento espectral.

2.5 Conclusiones

Las diversas aplicaciones de ultrasonidos que se han descrito a lo largo de este capítulo tienen características similares en su principio de funcionamiento. Ya sea de forma activa como en el caso de ensayos no destructivos o Doppler de onda pulsada, en el que al objeto de ensayo se la aplica una señal ultrasónica y se analizan las ondas reflejadas, o en el caso de

emisiones acústicas en el que se está a la espera de que se produzcan las señales, será necesario registrar distintas mediciones temporales para la obtención de resultados concretos.

Sin embargo, no sólo existen aplicaciones en las que es necesario el registro de medidas temporales, existe una alternativa utilizada para medir velocidades de un objeto o fluido en las que basándose en el efecto Doppler, se medirán la variación en la frecuencia entre la onda emitida hacia el objeto o fluido en movimiento y la onda reflejada por él.

De esta manera, tenemos dos tipos de sistemas relativamente diferenciados y en los que el sistema de instrumentación necesario y sus características, deberán poseer distintos rasgos de tal modo que estén específicamente preparados para la aplicación propuesta.

En el presente proyecto, debido a las características del dispositivo (Veáse Capítulo 3) y el objetivo de diseño buscado (Veáse Capítulo 4), resulta de más directa aplicación analizar datos de frecuencia, por ello, se decidió realizar un experimento que simule un sistema Doppler de onda continua.

: ULTRASONIDOS y efecto Doppler

Capítulo 3

El circuito integrado AD9272

Antes de entrar a valorar las diferentes alternativas que existen en el mercado de los circuitos de *front-end* analógicos para ultrasonidos y la razón de la elección del AD9272, se cree conveniente dar un poco de luz sobre la necesidad de este tipo de dispositivos y porque su uso esta tan extendido en las aplicaciones de imágenes.

3.1 Elección del dispositivo

Históricamente, para conseguir un alto rendimiento en sistemas de imágenes ha sido necesario crear grandes y costosas implementaciones para poder dar solución a los requerimientos necesarios. Pero, recientemente avances en la integración a permitido a los diseñadores de sistemas migrar hacia más pequeñas, menos costosas y más portables soluciones con rendimientos cercanos a los grandes sistemas. Esta integración es el resultado de la creación de circuitos de *front-end* analógico para ultrasonidos, los cuales día a día incorporan mayor número de funcionalidades permitiendo reducir cada vez más los sistemas de imágenes.

3.1.1 Fundamentos en aplicaciones de imágenes

En una sistema típico de imagen con ultrasonidos se utiliza una sonda phased array, que suele estar compuesto entre 64-128 elementos, utilizando la mitad de los elementos como emisores y la otra mitad como receptores (Veáse Figura 17).

El funcionamiento de operación utiliza los principios físicos del ajuste de fase en ondas. Para ello, se varía el tiempo entre una serie de pulsos ultrasónicos de tal manera que los frentes de ondas generados por cada elemento del array se combinen con los demás,

consiguiendo con esta acción el aumento o la disminución de la energía de manera predecible para fijar la dirección y la forma del haz de sonido.

Todos los frentes de ondas, se combinan constructivamente o destructivamente en un único frente de ondas principal que viaja a través del medio. El haz ultrasónico puede ser direccionado dinámicamente usando diferentes ángulos, distancias focales y tamaños del punto focal, de tal manera que con una sola sonda es posible examinar el objeto de ensayo en un rango amplio de perspectivas.

Los ecos de retorno son recibidos por los elementos o grupos de elementos, pudiendo clasificar espacialmente el frente de ondas reflejado en función del tiempo de vuelo y de la amplitud en cada elemento. Una vez que la información recibida ha sido procesada por el software, está puede ser representada usando distintos formatos.

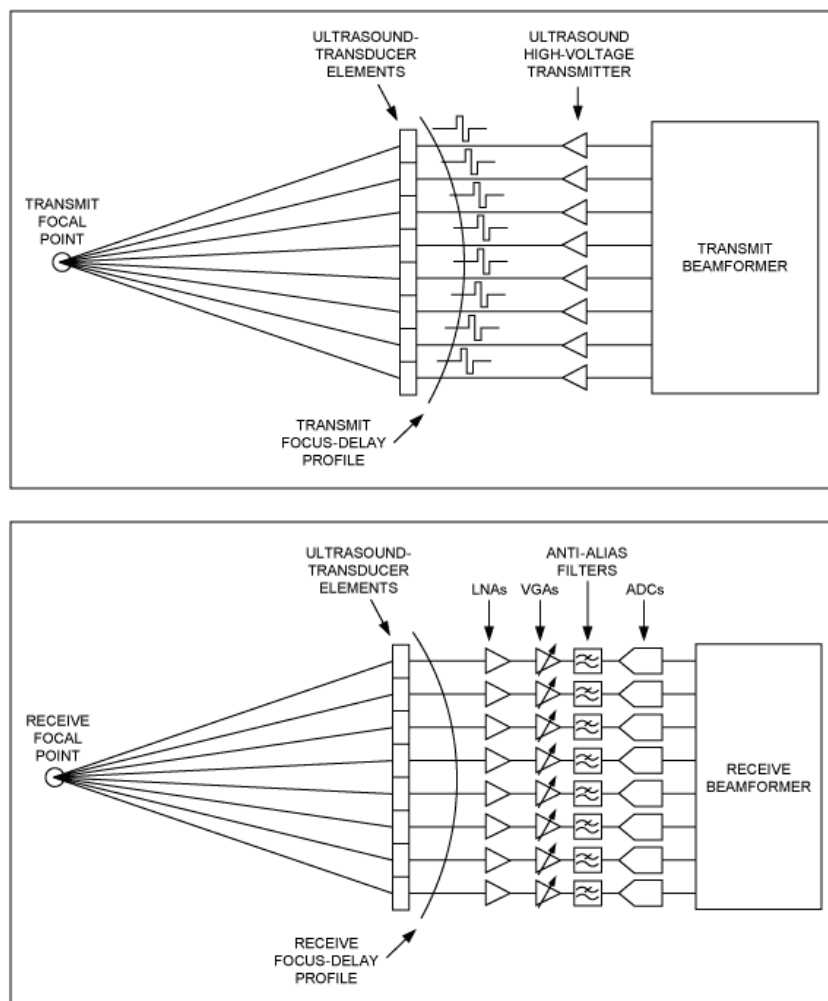


Figura 17. Transmisión y recepción de señales de ultrasonidos en aplicaciones de imagen [13]

3.1.2 Estructura y operación de un canal

Todos los circuitos de *front-end* analógico están formados por los mismos elementos básicos (Ver figura 18) y el funcionamiento de un único canal responde a una serie de cuestiones que se describen a continuación.

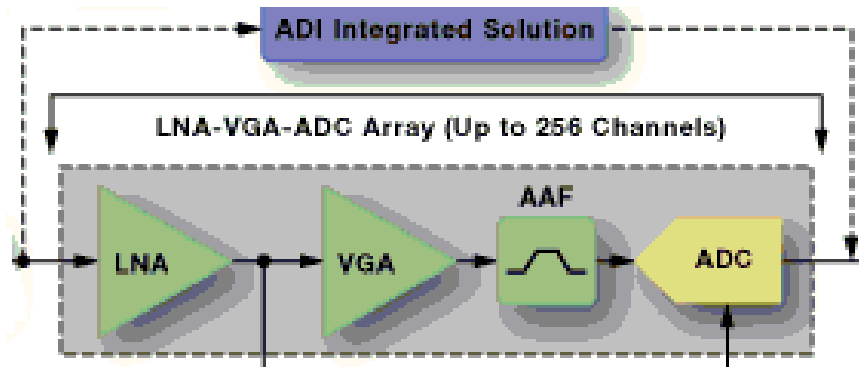


Figura 18. Diagrama de bloques de un canal un CI de front-end analógico [3]

El amplificador de bajo ruido (LNA) amplifica señales de entrada entre 1 MHz y 15 MHz, de un elemento del transductor y suele poseer una ganancia de 18dB. Normalmente, el transductor es conectado a la entrada del sistema con el circuito integrado a través de un cable coaxial relativamente largo, por lo que la capacitancia del cable combinada con la impedancia del elemento transductor, puede limitar significativamente el ancho de banda de las señales recibidas. Por ello, estos amplificadores de bajo ruido poseen una impedancia de entrada activa de bajo valor, de modo que se reduzca el efecto de filtrado, optimizando la adaptación con el elemento transductor y manteniendo una figura de ruido ultra-baja.

Al principio de un ciclo de recepción, la señal de entrada que se suele recibir en la entrada del LNA suele ser de 0,5 Vpp. A lo largo del intervalo de recepción, la señal de entrada se atenúa hasta que es menor que el umbral mínimo de ruido del receptor. Considerando una aplicación biomédica, el ratio de atenuación puede ser calculado conociendo que el coeficiente de atenuación del cuerpo humano es aproximadamente 0,7 dB/cm-MHz (1.4dB/cm-MHz en ida-vuelta) y la velocidad de propagación del sonido en el cuerpo es 1540m/s (13 μ s, en ida-vuelta). [13]

El rango dinámico (es el rango en decibelios, entre el umbral de ruido mínimo de un dispositivo y su nivel de salida máximo) requerido para el procesamiento de la señal, a lo

largo de todo el intervalo de recepción es alrededor de 110dB y está más allá del rango realista de un convertidor A/D. Como resultado, la ganancia de recepción es incrementada dinámicamente a lo largo del intervalo de recepción utilizando un amplificador de ganancia variable (VGA) para adecuar la señal dentro del rango dinámico del convertidor A/D.

El filtro anti-aliasing, salvaguarda al ADC de procesar ruidos de altas frecuencias y señales superfluas más allá de las frecuencias normales en imágenes máximas de 15 MHz. El convertidor A/D, suele tener una resolución de 12 bits con una tasa de muestreo entre 40 y 100 MSPS.

Las salidas del convertidor A/D, suelen cumplir con el estándar ANSI 644-LVDS, el cual es un sistema de transmisión de señales a alta velocidad utilizado en este tipo de dispositivos, debido a las características que presenta. Para aclarar los conceptos y que ventajas posee este estándar, se realiza una descripción en el siguiente apartado.

3.1.3 ANSI 644-LVDS

LVDS (señal diferencial de bajo voltaje) es un interfaz digital de alta velocidad que se ha convertido en la solución para un gran rango de aplicaciones que demandan bajo consumo y una gran inmunidad al ruido [14].

Desde su estandarización (ANSI/TIA/EIA-644), el estándar proporciona las directrices que definen las características eléctricas para los dispositivos de salida y de entrada del interfaz LVDS, aunque previamente define el protocolo de comunicación, el voltaje de alimentación y el medio de comunicación.

Adicionalmente el aumento de demanda en el ancho de banda ha proporcionado la aparición de tecnologías como PCI Express e HyperTransport las cuales están basadas en conexiones de LVDS de alta velocidad.

Este estándar usa señales diferenciales con pequeñas oscilaciones de voltaje para transmitir datos a gran velocidad. Así pues, dos señales de polaridad opuesta son generadas, por lo tanto la transmisión de datos referencia cada una de las señales con respecto a la otra, dando como características un gran rechazo al modo común e inmunidad al ruido.

La figura 19 ilustra el típico emisor LVDS. Este emisor consta de una fuente de corriente de 3.5 mA, proporcionando esta corriente a través de las líneas del par diferencial. En el receptor, una resistencia de $100\ \Omega$ es usada para igualar la impedancia de la línea de transmisión que conecta el receptor con la fuente. La resistencia también proporciona un camino entre las señales complementarias del sistema. La gran impedancia de entrada del receptor causa que los 3.5 mA circulen a través de la resistencia de $100\ \Omega$, lo que conlleva una diferencia de voltaje de 350 mV entre las entradas del receptor. La dirección de la corriente dentro de la resistencia cambia lo que determina si se lee un voltaje diferencial positivo o negativo, representando el positivo el nivel lógico alto y el negativo el bajo.

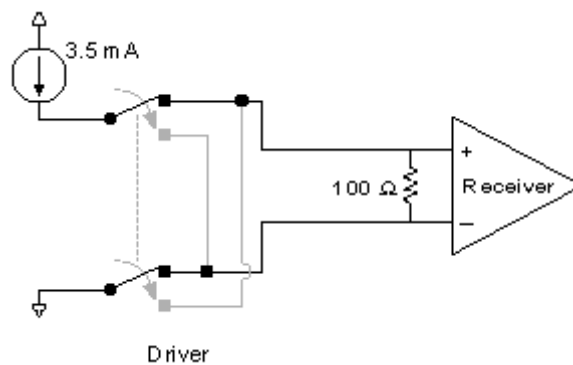


Figura 19. Receptor LVDS [14]

La figura 20 muestra una señal diferencial con varias etiquetas de los principales parámetros definidos en el estándar.

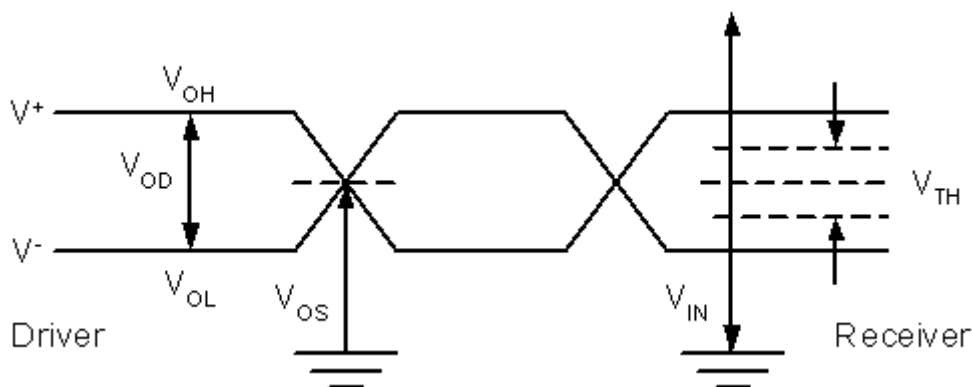


Figura 20. Parámetros de la señal LVDS [14]

El primer parámetro es el voltaje diferencial de salida (V_{OD}). Este voltaje es la diferencia absoluta entre las dos líneas de salida y está especificado entre 247 y 454 mV, siendo 350 mV el típico. V_{OH} y V_{OL} son los niveles lógicos de salida alto y bajo

respectivamente. Estos parámetros no están especificados para dispositivos LVDS pero puedes determinarlos combinando el rango de offset de voltaje de salida (V_{OS}) con el voltaje (V_{OD}). V_{OH} y V_{OL} deben estar siempre dentro del rango de entrada del receptor. El estándar define el rango de voltaje de entrada del receptor, V_{IN} , entre 0 - 2.4 V. Este amplio rango proporciona el rasgo de poder absorber y rechazar, el ruido de rechazo al modo común.

3.1.4 Comparación de alternativas

Una vez que se estudiaron este tipo de dispositivos, se realizó una búsqueda entra las distintas empresas que se encargan de la comercialización de ellos. Se encontró que existe una gran variedad de este tipo de dispositivos como se puede apreciar en las referencias [15] y [16]. Cada dispositivo posee una serie de características propias, y puede poseer más o menos funcionalidades dependiendo del mismo, pero como ya se ha comentando la estructura interna es muy similar. A continuación, se presenta una tabla con las características principales de 3 alternativas que se han escogido para la comparación entre ellas:

<i>Característica</i>	<i>AD9272</i>	<i>Afe5807</i>	<i>Afe5808</i>
<i>Ganancia LNA</i>	<i>15.6/17.9/21.3 dB</i>	<i>12/18/24 dB</i>	<i>12/18/24 dB</i>
<i>LNA ruido total referido a la entrada (ganancia máx.)</i>	<i>1.26 nV/\sqrt{Hz}</i>	<i>1.05 nV/\sqrt{Hz}</i>	<i>0.9 nV/\sqrt{Hz}</i>
<i>Atenuador controlable</i>	<i>-42 dB a 0dB</i>	<i>-40 dB a 0 dB</i>	<i>-40 dB a 0 dB</i>
<i>Ganancia amplificador controlable</i>	<i>21/24/27/30 dB</i>	<i>24/30 dB</i>	<i>24/30 dB</i>
<i>Frecuencias de corte (FPB)</i>	<i>8/18 MHz</i>	<i>10/15/20/30 MHz</i>	<i>10/15/20/30 MHz</i>
<i>Resolución ADC</i>	<i>12 bits</i>	<i>14 bits</i>	<i>14 bits</i>
<i>Salidas ADC</i>	<i>Serie LVDS</i>	<i>Serie LVDS</i>	<i>Serie LVDS</i>

<i>Relación señal ruido ADC</i>	<i>70 dB</i>	<i>74 dB</i>	<i>77 dB</i>
<i>Precio</i>	<i>70,5 €</i>	<i>71,95 €</i>	<i>77,27 €</i>

Tabla 1. Comparación de las características de las diferentes alternativas posibles

Como se puede apreciar en la tabla, las mayores diferencias entre los dispositivos se pueden encontrar en el ruido total referido a la entrada del LNA y la relación señal-ruido del convertidor A/D. Además, podemos encontrar mayor o menor versatilidad en algunas partes del circuito integrado ya sea el filtro o el amplificador de ganancia programable.

Además, podemos enfocar la comparación desde el punto de vista económico y del diseño y montaje de la placa de circuito impreso. Una razón que nunca es menos importante en un proyecto de ingeniería es el aspecto económico, en este caso las diferencias de precio no son muy significativas. En el caso del diseño y montaje de la placa, los circuitos integrados disponen de distintos tipos de encapsulado que son TQFP o BGA, en nuestro caso ninguna de las alternativas presenta una clara ventaja ya que en ambos casos se necesita de la intervención de oficina técnica para la fabricación de la placa y la soldadura del dispositivo.

Como conclusión se puede determinar que para el sistema que se quiere desarrollar y los objetivos que se quieren cumplir no hay diferencias manifiestas para decantarse por una alternativa en particular. Por tanto la elección del dispositivo AD9272 fue trivial.

3.2 Descripción del AD9272

El AD9272 es un circuito integrado especialmente diseñado para sistemas de ultrasonidos donde es necesario un alto rendimiento y dimensiones reducidas.

El componente dispone de un interfaz SPI, lo que se traduce en un amplio rango de características programables con el que se puede conseguir un rendimiento óptimo del sistema controlado.

El componente está formado por ocho canales, cada uno de los cuales tiene los siguientes recursos hardware:

- Preamplificador de bajo ruido con ruido total referido a la entrada de $0,75 \text{ nV}/\sqrt{\text{Hz}}$ (21.3 dB), con ganancia programable entre 15.6/17.9/21.3 dB.
- Amplificador de ganancia variable el cual está compuesto por un atenuador con un rango de atenuación entre -42 dB a 0 dB el cual es controlado mediante circuitería externa, y por una amplificador.
- Filtro anti-aliasing de segundo orden, programable entre 8 MHz y 18 MHz.
- Convertidor analógico digital de 12 bits, con velocidad de muestreo de 40MSPS.
- Conmutador de conexiones cruzadas diferencial de 8x8, que permite numerosas configuraciones cuando se trabaja en modo CWD.
- 8 salidas diferenciales conforme al estándar ANSI 644-LVDS.
- Tiempo de recuperación ante sobrecargas <10 ns

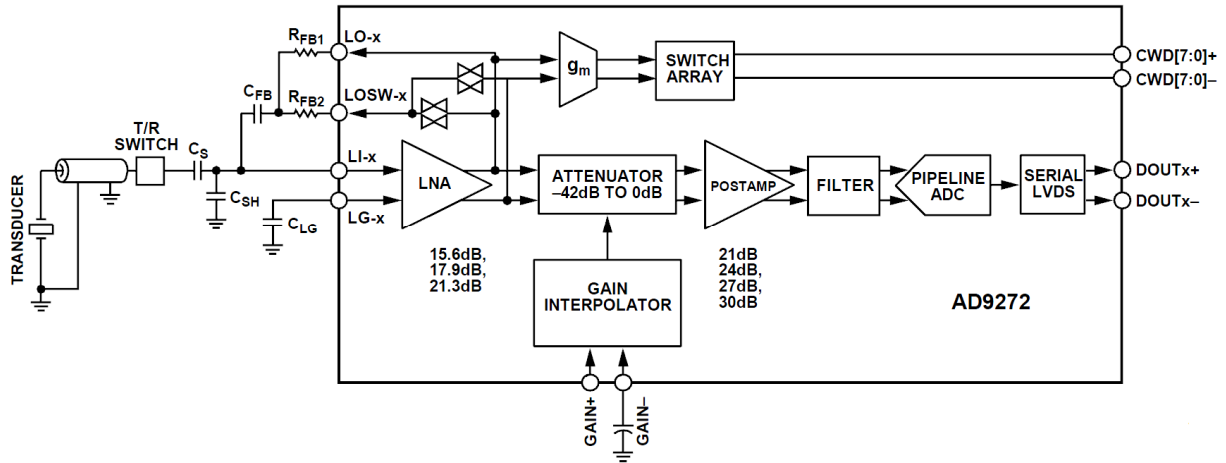


Figura 21. Diagrama de bloques de un canal del dispositivo AD9272

3.2.1 Amplificador de bajo ruido

Como se ha descrito en el apartado 3.1.2, para conseguir excelentes propiedades de ruido en el conjunto global del sistema, es imprescindible que el componente cuente a la entrada del mismo, con un amplificador de bajo ruido con una impedancia de entrada activa.

En este dispositivo la impedancia de entrada se puede determinar, utilizando la formula que nos presentan en la hoja de características:

$$R_{IN} = \frac{R_{FB}}{\left(1 + \frac{A}{2}\right)}$$

Figura 22. Ecuación para determinar la resistencia Rin

Donde $A/2$ es la ganancia con salida asimétrica (*single-ended*) del amplificador diferencial, es decir, desde el pin LI-X hasta el pin LO-X, y R_{FB} es la impedancia resultante de la combinación de R_{FB1} y R_{FB2} . El amplificador soporta salidas diferenciales de 4.4 Vpp, por lo tanto, en función de la ganancia que se esté usando los límites de la señal de entrada para las ganancias de 6, 8 y 12 son de 733 mVpp, 550 mVpp y 367 mVpp respectivamente.

3.2.2 Amplificador de ganancia variable

La primera etapa de este amplificador está compuesta por un atenuador, que posee un rango de atenuación suave desde -42 dB hasta 0 dB. Para su control disponemos de un interfaz diferencial a través de los pines GAIN+ y GAIN- . Una posible configuración del mismo se puede observar en el siguiente esquemático:

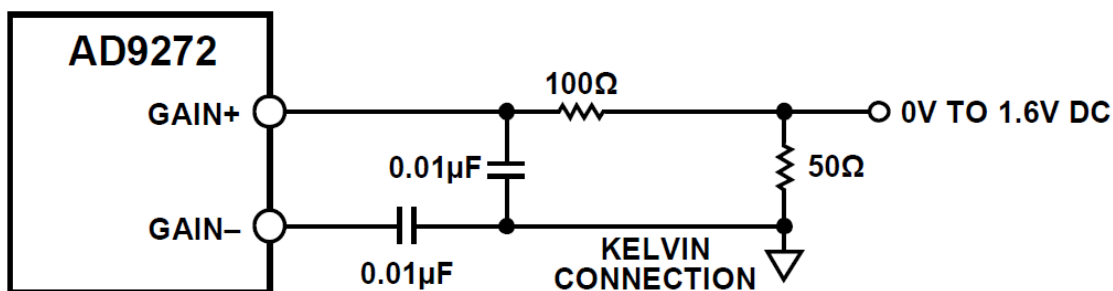


Figura 23. Circuito de control del interfaz GAIN ±

El factor de escala es de 28,5 dB/V, este factor es lineal entre los valores de 0.16 V y 1.44V, donde el error es típicamente menor de ± 0.5 dB. Para valores mayores de 1.44 V y menores de 0.16 V, el error se incrementa.

El tiempo de repuesta es menor de 750 ns, para un cambio entre el valor mínimo y máximo del valor de atenuación.

La segunda etapa está formada por un amplificador cuya ganancia puede ser controlada a partir del SPI, con valores de 21/24/27/30 dB.

3.2.3 Filtro anti-aliasing

El filtro es combinación de un filtro paso alto de primer orden y un filtro paso bajo de segundo orden. El filtro paso alto depende del filtro paso bajo a través de un factor o ratio el cual puede ser modificado a través del SPI para obtener una serie de valores singulares.

La frecuencia de corte del filtro paso bajo es 1/3 o 1/4.5 veces la velocidad de muestreo del convertidor analógico digital y puede ser escalado entre 0.7 y 1.3 con pasos de 0.1, todo ello seleccionable a partir del SPI.

3.2.4 Convertidor analógico-digital

Utiliza una arquitectura de subrango, lo que permite en la primera etapa operar con la nueva muestra y en el resto de etapas operar con las precedentes muestras.

Para conseguir el rendimiento óptimo se utiliza una señal diferencial, esta señal es típicamente acoplada en alterna mediante un transformador o condensadores, además los pines CLK+ y CLK- están polarizados internamente.

Las hojas de características nos ofrecen varias posibilidades a la hora de conseguir la señal de reloj para nuestro componente, siendo la principal la expuesta a continuación:

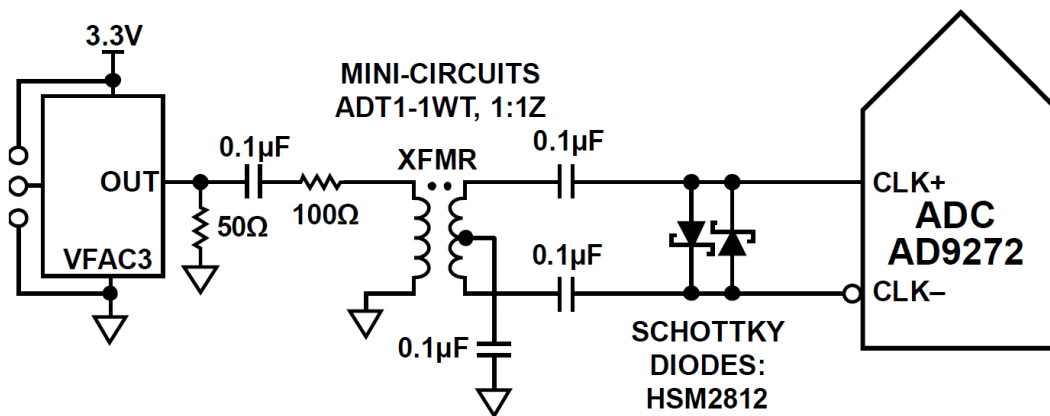


Figura 24. Circuito para establecer la señal de reloj del componente

Los convertidores ADC normalmente utilizan ambos flancos del reloj para generar una variedad de señales internas, como son los relojes DCO y FCO. Esto le hace sensible al ciclo de trabajo, por ello el AD9272 cuenta con un estabilizador del ciclo de trabajo (DCS), proporcionando una señal interna de reloj con un ciclo de trabajo nominal del 50%, permitiendo señales de entrada con un amplio rango de ciclos de trabajo sin afectar al rendimiento del AD9272.

3.2.5 Bus SPI

El Bus SPI o bus de interfaz de periféricos serie nos permite configurar cada uno de los canales del dispositivo para funciones específicas a través de un mapa de memoria que contiene el mismo. La memoria está organizada en bytes, los cuales están divididos en campos tal como está documentado en las hojas de características.

Hay tres pines que definen el Bus SPI, estos son el SCLK el cual es usado para sincronizar la lectura y escritura de datos presentados al dispositivo, el SDIO que permite tanto enviar datos como la lectura de los mismos, y el CSB que determina si esta activa o no, la lectura o escritura en cada caso.

El funcionamiento del mismo se divide en dos fases una primera llamada fase de instrucción en la que enviamos una cabecera de 16 bits, seguida de la fase de datos.

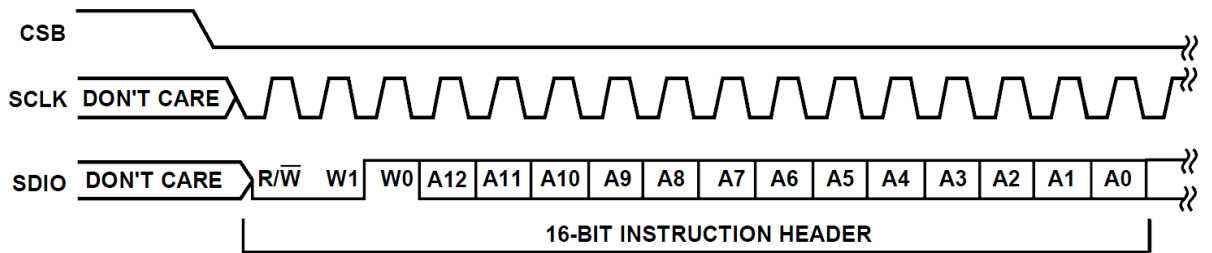


Figura 25. Diagrama de tiempos de la instrucción de cabecera del SPI [17]

Cuando se produce el flanco de bajada del pin CSB en conjunción con el flanco de subida del SCLK, determina el comienzo de la fase de instrucción. Como hemos comentado se compone de 16 bits, dividido en las siguientes partes. El primer bit de la instrucción es el de lectura o escritura, cuando este bit esta a nivel alto, se demanda la lectura de datos. Los bits W1 y W0 representan el número de bytes a transferir tanto en el caso de leer o de escribir, y los siguientes 13 bits representan la dirección de envío.

W1 :W0	Acción	CSB variable
00	1 byte de datos puede ser transferido	Opcional
01	2 bytes de datos puede ser transferido	Opcional
10	3 bytes de datos puede ser transferido	Opcional
11	4 bytes de datos puede ser transferido, CSB debe mantenerse a nivel bajo durante todo el proceso	No

Tabla 2. Modos de funcionamiento del SPI. [17]

La fase de datos sigue a la fase de instrucción, la cantidad de datos ha sido determinada por W1:W0, y además todos los datos están compuestos de palabras de 8-bits. Los datos pueden ser enviados en dos modos; el modo MSB, es decir, se envía primero el bit más significativo, o el modo LSB, enviando primero el bit menos significativo. Por defecto, el dispositivo está configurado en modo MSB.

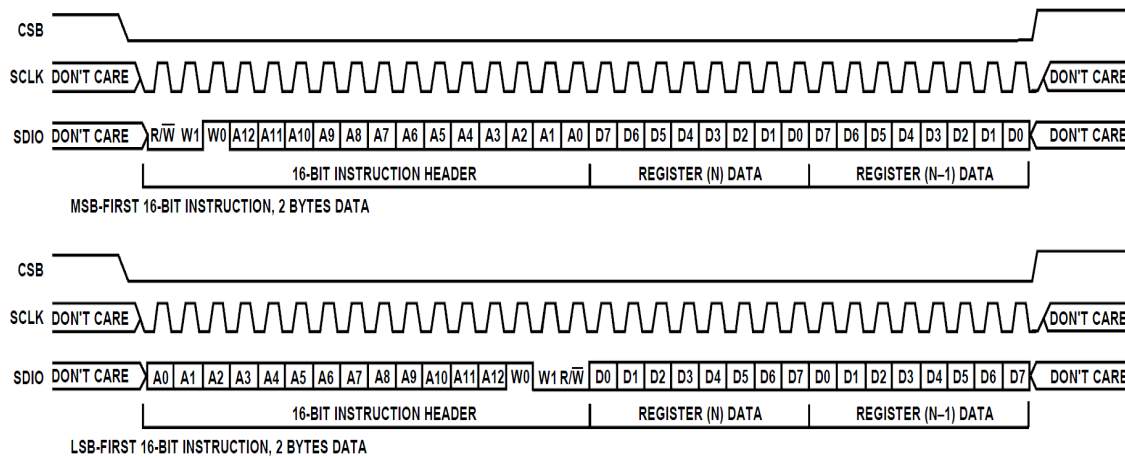


Figura 26. Diagrama de tiempos del SPI [17]

3.2.6 Conmutador de conexiones cruzadas

Como se puede observar en la figura 21, después de cada LNA existen dos caminos uno de ellos es el que le sigue el VGA, el cual ya han sido explicados todos sus componentes.

En el otro camino, el LNA está seguido por un amplificador de transconductancia que convierte el voltaje en corriente. Estas corrientes pueden ser enrutadas a un de las ocho salidas diferenciales o directamente a una de las 16 salidas simples, mediante el conmutador de conexiones cruzadas. Esas son las salidas CWD, cada una de las cuales inserta 2.4 mA corriente continua y tiene un rango de ± 2 mA. Por ejemplo, si cuatro canales fuesen sumados en una única salida CWD, la salida tendría 9.6 mA de continua y un rango de ± 8 mA. Según las hojas de características, se recomienda conectar estas salidas al AD8339 el cual es un demodulador I/Q de cuatro canales.

Capítulo 4

Diseño e implementación del sistema

4.1 Diseño de la placa de circuito impreso

La placa empleada para el desarrollo del proyecto ha sido desarrollada utilizando el programa OrCAD en su versión 10.5.

Como ya se ha comentado en la introducción, el objetivo es crear una placa de circuito impreso basada en el componente de Analog Devices AD9272, cuyas funcionalidades y características han sido detalladas en el capítulo anterior. Una vez conocido el objetivo, el primer paso en el diseño de la placa fue establecer con que funcionalidades queríamos dotar a nuestro sistema y cuáles no serían utilizadas.

La funcionalidad final de la placa será utilizar un único canal de los ocho que dispone el AD9272, además se dotará al sistema de la posibilidad del control del atenuador interno y, se dotará de acceso a las salidas digitales y los pines para el control del Bus SPI. En la figura 27 se puede apreciar el esquemático de alta jerarquía de la placa de circuito impreso diseñada. (Como simplificación del esquemático las salidas digitales, los relojes de salida, y las salidas para el control del SPI están enrutadas a conectores de los pines necesarios, en la implementación física serán enrutadas a dos conectores de 60 pines)

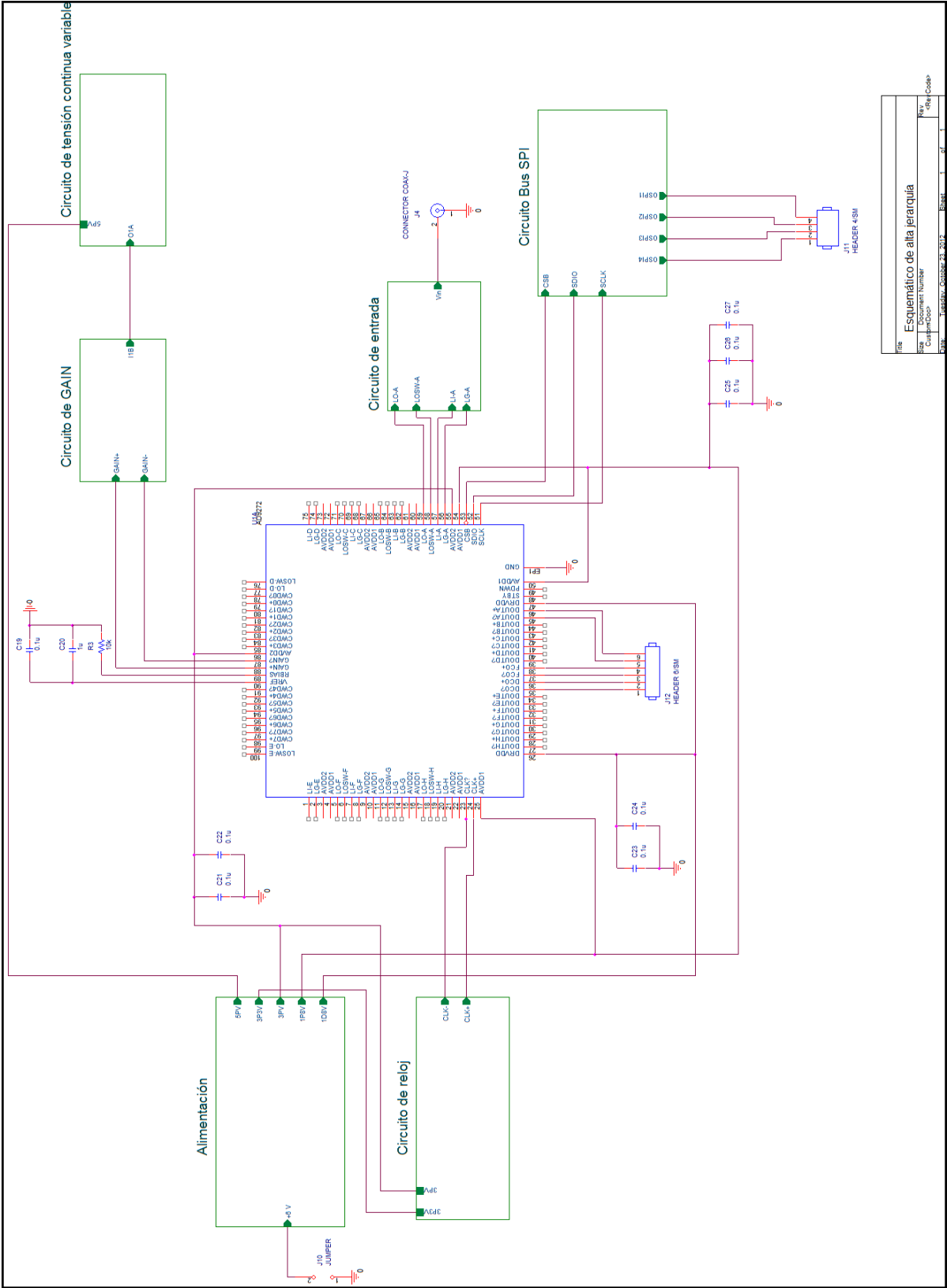


Figura 27. Esquemático de alta jerarquía de la placa diseñada

4.1.1 Aspectos relativos a las conexiones de AD9272

Para la puesta en marcha de un sistema en el que se utiliza un solo canal, de los 100 pines que dispone el componente AD9272, hay que utilizar los que se describen en la siguiente Tabla.

<i>Nº Pin</i>	<i>Nombre</i>	<i>Descripción</i>
0	GND	Tierra
23	CLK-	Entrada de reloj diferencial negativa
24	CLK+	Entrada de reloj diferencial positiva
25,50,54	AVDD1	1.8 V Alimentación analógica
26,47	DRVDD	1.8 V Alimentación digital
55,86	AVDD2	3 V Alimentación analógica
35	DCO-	Salida de reloj de datos diferencial negativa
36	DCO+	Salida de reloj de datos diferencial positiva
37	FCO-	Salida de reloj de muestra diferencial negativa
38	FCO+	Salida de reloj de muestra diferencial positiva
45	DOUT-	Salida serie LVDS negativa
46	DOUT+	Salida serie LVDS positiva
51	SCLK	Señal de reloj
52	SDIO	Señal entrada/salida
53	CSB	Pin de chip select
56	LG-A	Tierra LNA
57	LI-A	Entrada LNA
58	LOSW-A	Salida analógica conmutada LNA
59	LO-A	Salida analógica invertida LNA
87	GAIN-	Entrada de control de ganancia diferencial negativa

88	<i>GAIN+</i>	<i>Entrada de control de ganancia diferencial positiva</i>
89	<i>RBIAS</i>	<i>Resistencia externa para establecer corriente de polarización del ADC</i>
90	<i>VREF</i>	<i>Voltaje de referencia</i>

Tabla 3. Descripción de la función de cada pin

Cabe destacar una serie de aspectos importantes para el diseño del circuito y su posterior fabricación. A la hora del diseño del circuito se ha tenido en cuenta solo aquellos pines de alimentación necesarios para aquellas partes del circuito que se van a utilizar, para ello además de la lógica aplastante que debían de ser aquellos pines más próximos a los circuitos utilizados, se ha consultado en el foro “Enginnerzone” de Analog Devices [18].

Otro aspecto importante a la hora de la implementación de la placa, ha sido que el pin de masa del circuito integrado esta debajo del componente, lo que ha conllevado la realización de un plano de masa justo debajo del componente así como una matriz de vías para conseguir el camino térmico resistivo lo más bajo posible para la disipación de calor, siguiendo las consideraciones de la referencia [19].

4.1.2 Circuitos complementarios

- **Alimentación**

El circuito dispone de las siguientes alimentaciones, 1.8V, 3V, 3.3V y 5V. Además se ha seguido la recomendación de las hojas de características usando distintas alimentaciones de 1.8V para la parte digital y la parte analógica. Para proporcionar dichas tensiones estables se han utilizado reguladores de tensión MCP1826S. Estos reguladores tienen como entrada una fuente de alimentación a una tensión suficiente (6V según la hoja de características), a partir de la cual los reguladores proporcionan un nivel de tensión específico.

Para que las tensiones sean estables estos reguladores necesitan condensadores de 1 μF , tanto a la entrada como a la salida (Ver Figura 28). Además estos condensadores deben tener una baja ESR para que el funcionamiento sea óptimo, por ello se han usado condensadores cerámicos con dieléctrico X7R debido a sus excelentes cualidades.

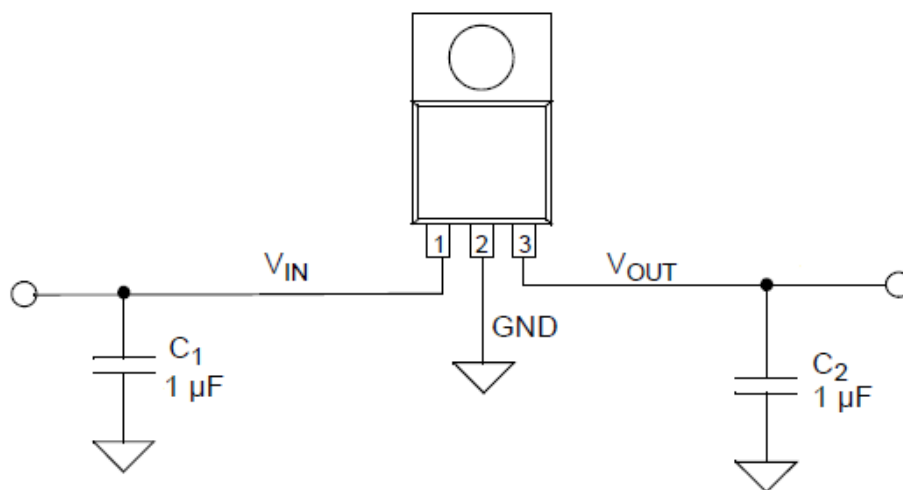


Figura 28. Esquema del regulador MCP1826S

Adicionalmente y según indica la hoja de características del dispositivo AD9272, es necesario utilizar condensadores de desacoplo de 0.1 μF lo más cerca de los pines de alimentación. Para ello se ha utilizado condensadores cerámicos SMD 0805, que debido a su tamaño es posible colocarlos muy cerca de cada pin de alimentación del AD9272.

- **Circuito de entrada**

Para conectar la señal de entrada analógica a nuestra placa utilizamos un conector BNC, pero esta no puede ser introducida directamente al AD9272, se necesita una circuitería auxiliar (Figura 29) que se describe a continuación:

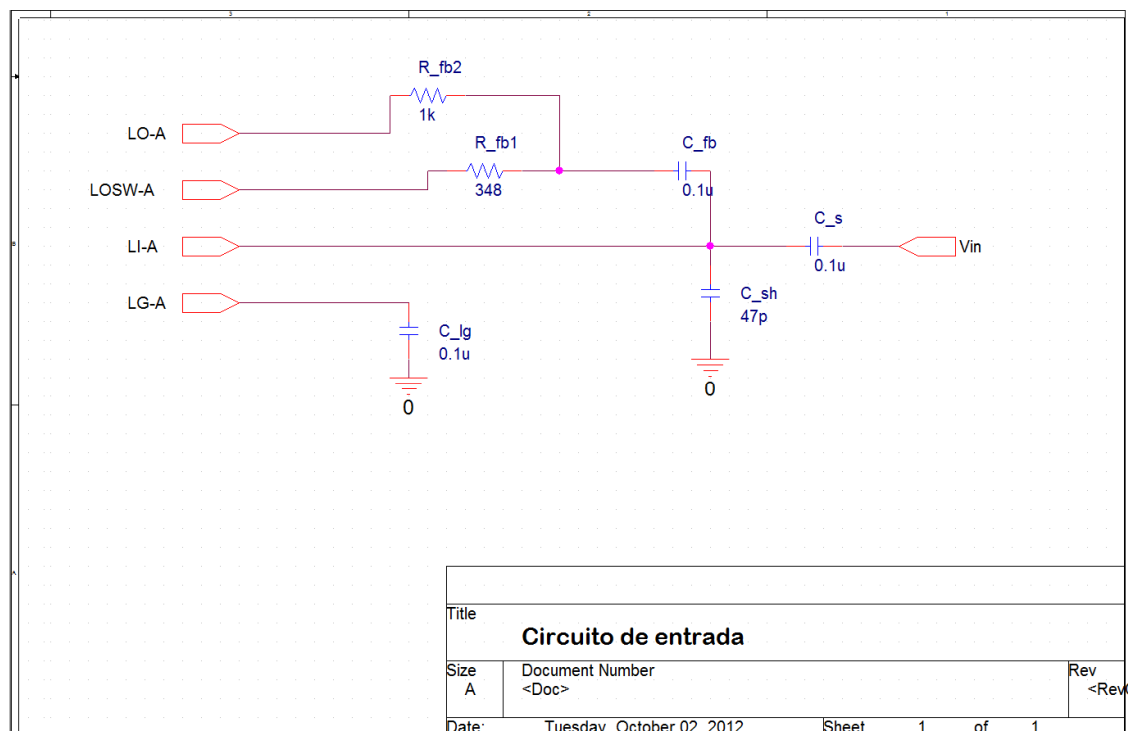


Figura 29. Circuito de señal de entrada

El pin LI-A es acoplado mediante el condensador C_s a la señal de entrada. El condensador, C_{lg} , el cual tiene que tener el mismo valor que el condensador de acoplo C_s , debe ser conectado entre el pin LG-A y tierra (Es muy recomendable que esta unión a tierra sea una conexión Kelvin a la tierra de la entrada de señal, ya que en caso contrario se pueden amplificar diferencias de potencial por medio del LNA).

El condensador C_{fb} es necesario porque los valores de tensión continua en el pin LO-A y en el pin LI-A son distintos. El valor de C_{sh} viene determinado según las hojas de características (Ver anexos).

A partir de la ecuación de la Figura 23, y buscando una resistencia de entrada de $50\ \Omega$, se han establecido los valores de las resistencias R_{fb1} y R_{fb2} .

- **Circuito de reloj**

Para conseguir un rendimiento óptimo del sistema los pines CLK+ y CLK- tienen que ser conectados a una señal diferencial. Estos pines están polarizados internamente y por tanto, no necesitan corriente de polarización.

Una manera de crear la señal de reloj para el componente AD9272 se puede apreciar en la Figura 30. El circuito consta de un oscilador de 40 MHz, con salida simple, la cual se convierte a una señal diferencial a partir de un transformador de radiofrecuencia. Las resistencias R1 y R2, y el condensador C1, forman un filtro paso alto para eliminar posibles bajas frecuencias. Los condensadores C2 y C3, sirven para acoplar en alterna la señal diferencial antes de ser conectada a los pines CLK+ y CLK-.

Los diodos Schottky en el secundario del transformador limitan las excursiones del reloj a 0.8 V_{pp} aproximadamente. Esto ayuda a prevenir grandes oscilaciones de voltaje del reloj desde la alimentación a otras partes del dispositivo AD9272.

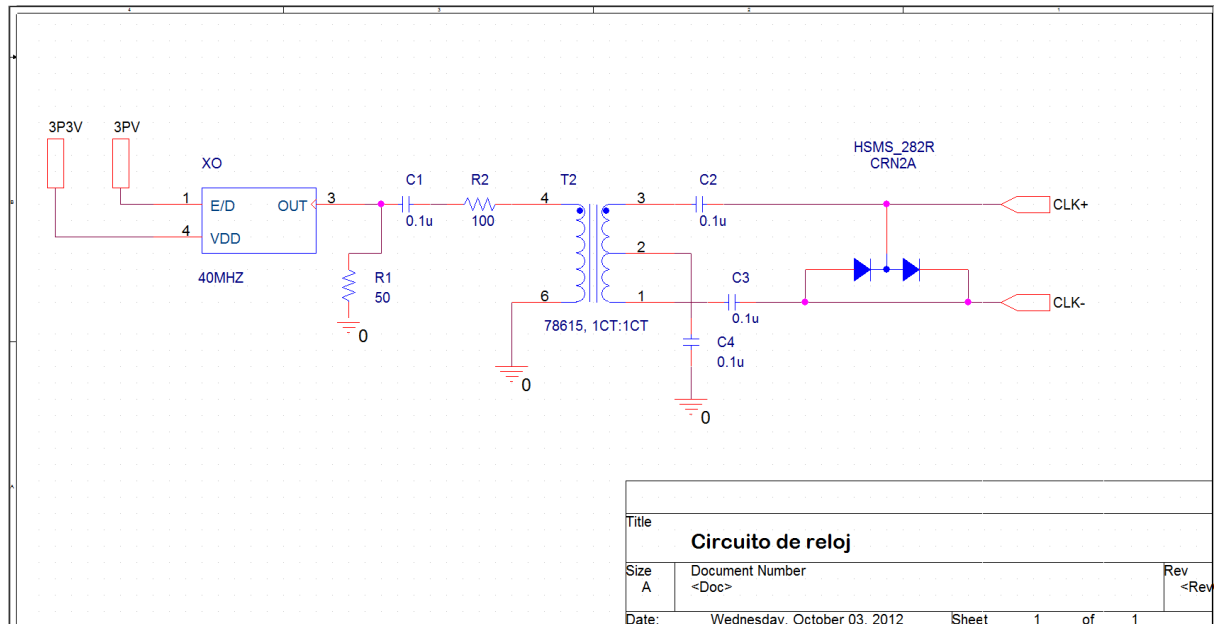


Figura 30. Circuito de reloj

- **Circuito de control de ganancia (GAIN)**

Como ya se ha detallado (Véase Capítulo 4), a través de los pines GAIN \pm podemos controlar la ganancia del atenuador del amplificador de ganancia variable de cada canal del dispositivo. Uno de las formas para controlar el interfaz GAIN es mediante el circuito de la figura 31.

La entrada de este circuito (I1B) será una referencia de tensión continua ajustable entre 0 y +1.6 V, que determina la ganancia del atenuador. Además existen dos consideraciones importantes, la primera es que los pines GAIN+ y GAIN- tienen que estar acoplados en continua, y la segunda es que la conexión a tierra del condensador C17 debe ser una conexión Kelvin.

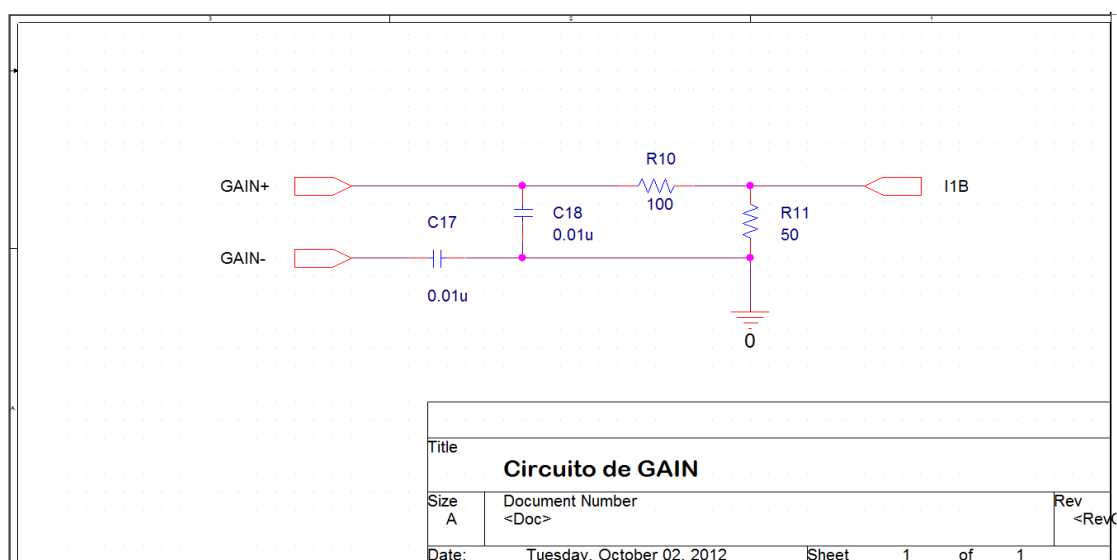


Figura 31. Circuito de GAIN

- **Circuito de referencia de tensión continua ajustable**

Debido a la necesidad de conseguir una referencia de tensión continua ajustable entre 0 y +1.6V, se ha diseñado el circuito de la Figura 32, con el siguiente funcionamiento:

La resistencia R7 es alimentada a +5 V y se encuentra en serie con el diodo zener BZX79C3V3 consiguiendo así la corriente de polarización necesaria para que este se

encuentre en su zona de trabajo y que así proporcione una tensión de 3.3V entre sus terminales. A partir de la tensión de 3.3 V proporcionada por el zener, y mediante un divisor de tensión formado por un resistencia y un potenciómetro de $1K\Omega$ se puede deducir fácilmente que en el pin central del potenciómetro obtendremos una tensión continua entre 0 y +1.6V. El pin central del potenciómetro está conectado al amplificador LMC6041 el cuál esta en configuración seguidor de tensión que de acuerdo a sus características nos proporciona a la salida la misma tensión que existe en la entrada, pero con la gran ventaja de que sirve como adaptador de impedancias, es decir, entregará el valor de tensión independientemente de la intensidad que se demande.

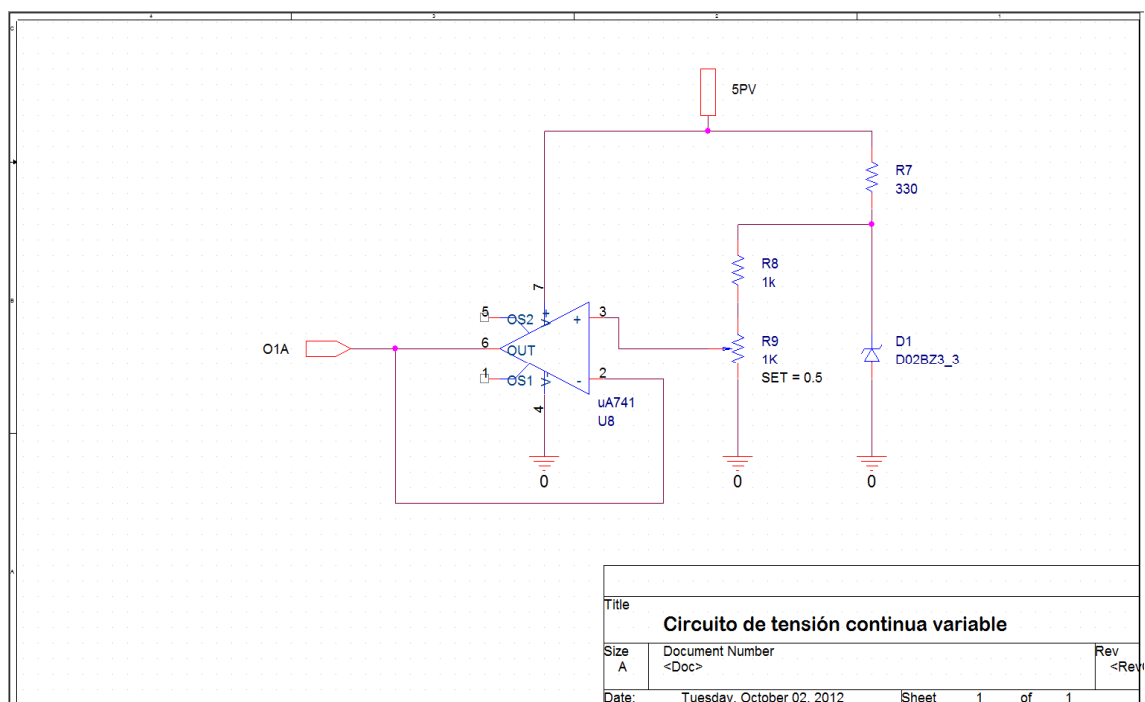


Figura 32. Circuito de tensión continua ajustable

- **Circuito Bus SPI**

Este circuito nos proporciona el interfaz necesario para el control del Bus SPI del AD9272, a partir de la placa de captura de datos HSC-ADC-EVALCZ. El circuito se basa en los circuitos integrados NC7WZ07P6X y NC7WZ16P6X, los cuales están compuestos por dos buffers ultrarrápidos, que nos proporcionan el acoplo de impedancias.

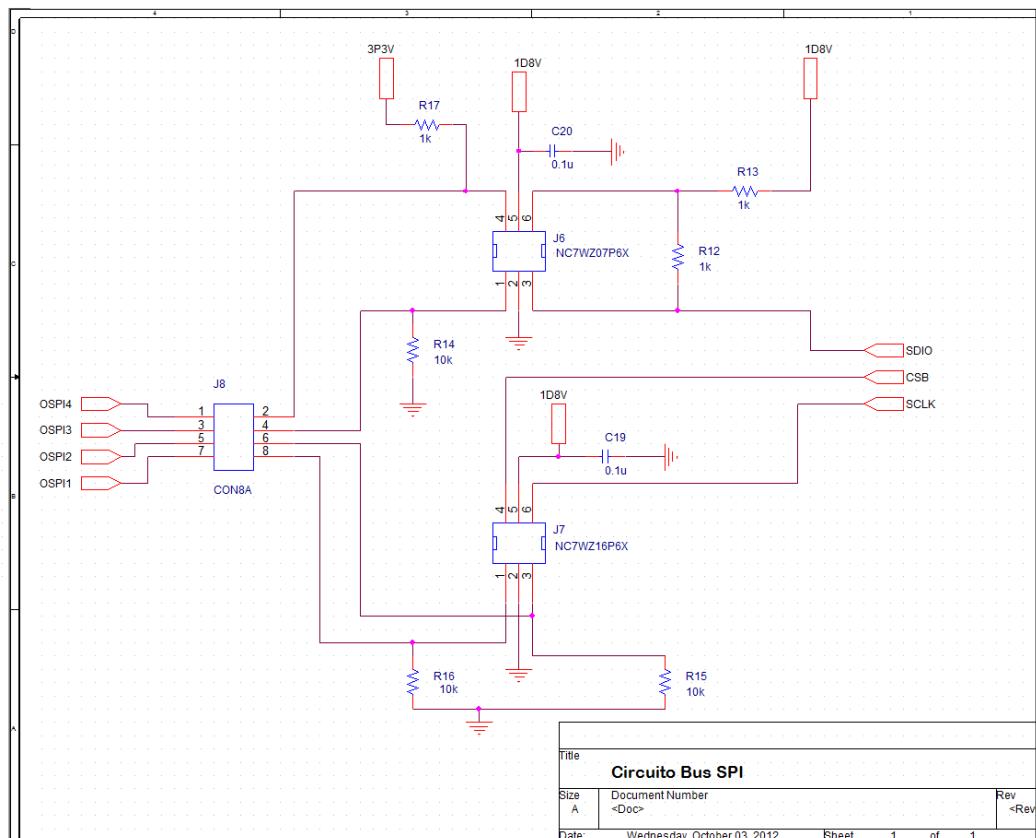


Figura 33. Circuito de Bus SPI

- **Circuitos auxiliares**

A parte de todos los circuitos principales que hemos desarrollado anteriormente el dispositivo necesita de una serie de componentes conectados a unos pines específicos.

El primer pin que necesita conexión es el RBIAS, para establecer la corriente interna de polarización del convertidor analógico digital, es necesario colocar una resistencia de 10 kΩ entre el pin y tierra. Según las hojas de características, es imperativo que la resistencia tenga ese valor para un rendimiento óptimo y por tanto hay que utilizar una resistencia con una tolerancia menor o igual del 1%.

El segundo pin que necesita circuitería auxiliar es VREF, dentro del dispositivo AD9272, se genera un voltaje de referencia de 0.5V estable y preciso, el cual es amplificado por un factor de 2, estableciendo VREF a 1V. Externamente hay que utilizar dos condensadores de desacoplo de 0.1 μ F y 1 μ F respectivamente, conectados en paralelo a tierra. Estos valores son los recomendados para que el convertidor ADC adquiera adecuadamente cada muestra.

Por último, es importante determinar dónde deben ser enrutadas las salidas digitales, los relojes DCO y FCO, y las salidas del circuito de control del BUS SPI. Estas señales deben ser enrutadas a conectores Tyco 6469169-1, estos conectores además de permitir la conexión de la placa diseñada con la placa de captura de datos HSC-ADC-EVALCZ tienen como principal característica que poseen un bajo *crosstalk* (diafonía), lo que es importante en este tipo de sistemas especialmente si se utilizan varios canales. Para poder determinar, a que pines deben estar conectados cada uno de las salidas, se examinó en las hojas de características de la placa HSC-ADC-EVALCZ los pines a los que deben llegar cada uno de las señales (Ver Anexos).

4.2 Implementación de la placa de circuito impreso

Una vez que han sido diseñados todos los circuitos y conexiones que requiere la placa de circuito impreso, el siguiente paso consta en la elección y compra de los componentes necesarios, en muchos casos los componentes han sido determinados en la fase de diseño debido a la necesidad en varios casos de componentes concretos que han sido descritos en el apartado anterior.

Cuando se posee la lista de componentes y el diseño de la placa, se pasa a la creación del layout y el posicionamiento espacial de los diversos componentes. Este posicionamiento y ruteado de la placa no es una tarea trivial, sino que requiere de experiencia y conocimientos para crear una solución óptima. La placa ha sido diseñada utilizando dos capas, y se han seguido las reglas genéricas que indican cómo distribuir los componentes, y algunas recomendaciones recibidas por Oficina Técnica, pero en muchos casos el diseño viene marcado por las limitaciones a la hora de realizar el propio enrutado. (Ver Figura 34)

Cabe destacar que para crear el layout de la placa de circuito impreso es necesario asignar a cada componente su *footprint*. En este proyecto, debido a que algunos de los componentes no eran genéricos, los *footprints* no estaban en las librerías propias del programa y hubo que utilizar la herramienta que posee el propio OrCAD para crear varios *footprints*.

Otro aspecto importante a la hora de fabricar cualquier placa de circuito impreso, es la clase de la placa, la cual viene marcada por el componente que tenga los pines más juntos, en nuestro caso ese componente es el AD9272, que marca clase 4, esto es, separación entre

pads, entre pistas, entre pads y pistas y anchura mínima de pista de 0,20 mm (8 mils). Debido a ello se tuvo que encargar la fabricación de la placa de circuito impreso a Oficina Técnica.

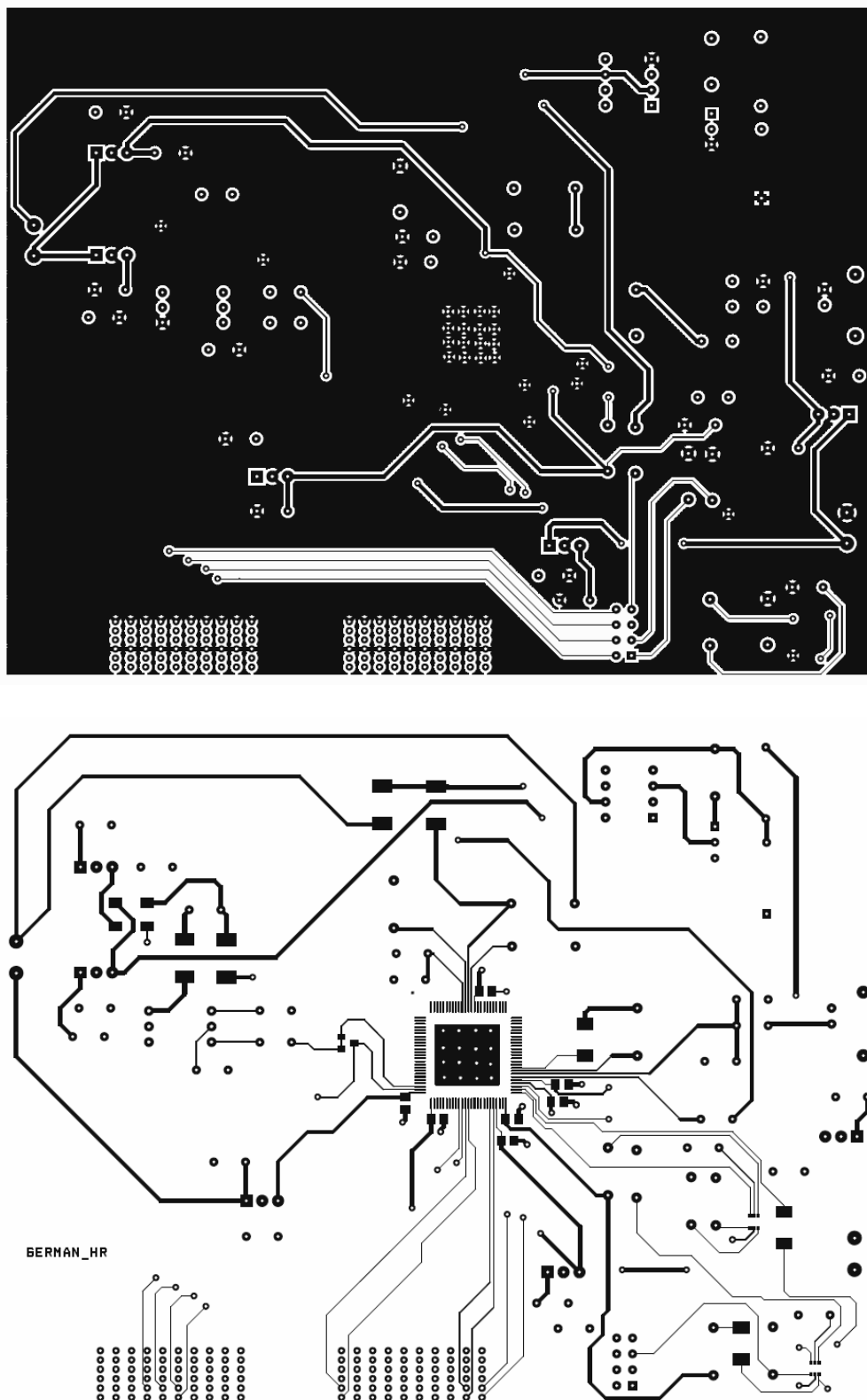


Figura 34. Capas bottom (arriba) y top para la generación del fotolito de la placa electrónica

4.2 Implementación de la placa de circuito impreso

Una vez que la placa fue fabricada, se procedió a la soldadura y montaje de todos los componentes. Pero en esta fase de la implementación, se encontró una dificultad añadida, y como se ha descrito en el apartado 4.1.2, el dispositivo AD9272 tiene el pin de masa justo debajo del componente, por lo que este tipo de dispositivo no puede ser soldado de manera manual, sino que necesita de un proceso industrial. Por ello, fue necesario encargar la soldadura del mismo a una empresa externa a la universidad, mediante la mediación de Oficina Técnica.

Una vez recibida la placa con el dispositivo AD9272 soldado, se paso a la finalización de la soldadura y montaje de la misma. En la figura 35 se muestra una fotografía de la misma, una vez terminada.

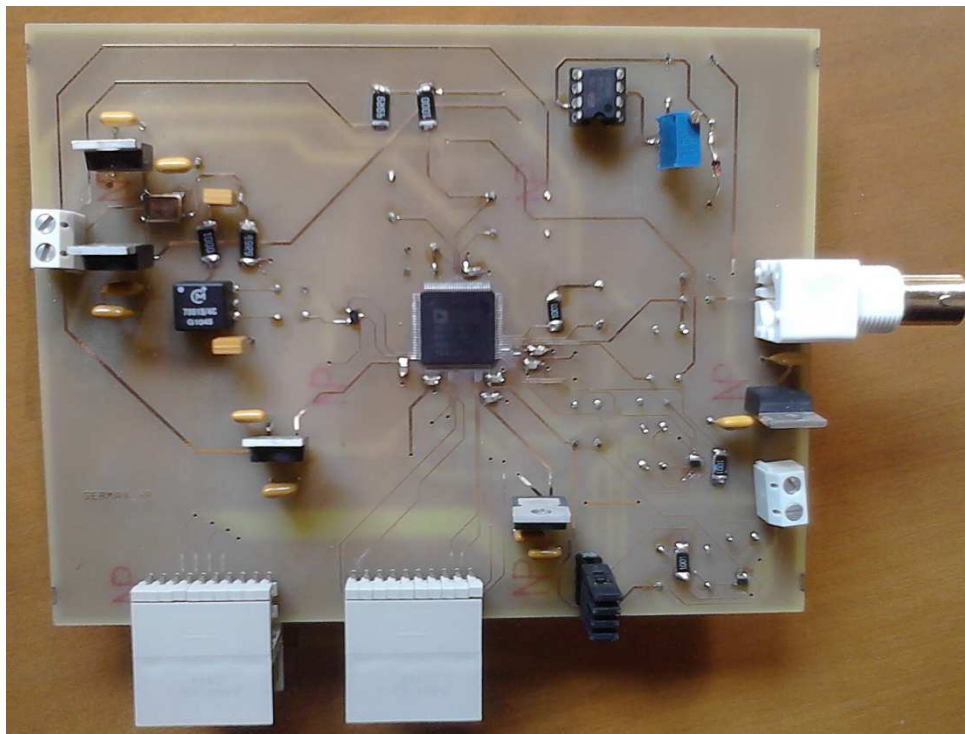


Figura 35. Vista superior de la placa de circuito impreso implementada

En el anexo 2 se incluyen los planos de la implementación de la placa de circuito impreso para mayor detalle.

Capítulo 5

Caracterización y prueba de concepto

5.1 Caracterización del sistema mínimo

Una vez llevado a cabo el montaje completo de la placa de circuito impreso, se han realizado una serie de pruebas con el fin de garantizar la funcionalidad de la misma. Para la realización de estas pruebas se ha elaborado el montaje experimental de la siguiente figura.

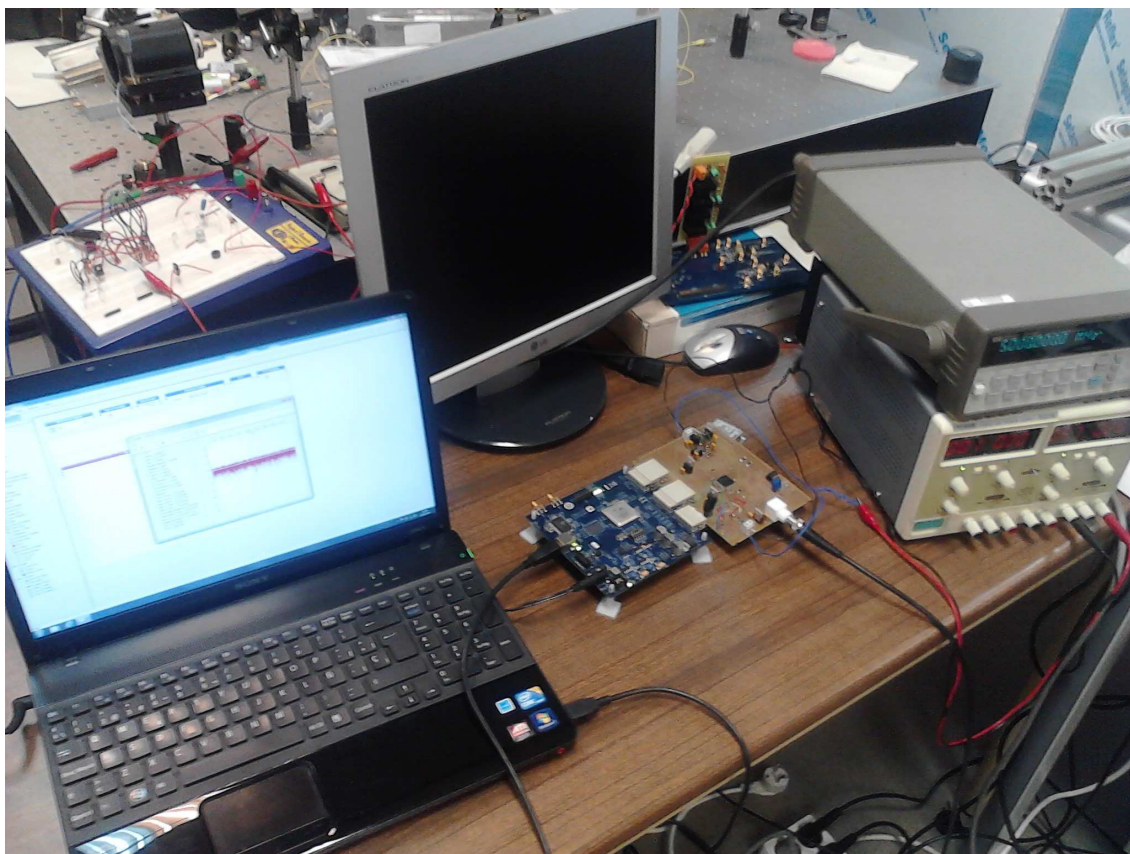


Figura 36. Fotografía del montaje empleado para la realización de la caracterización

Como se puede observar la señal de entrada a la placa diseñada proviene de un generador de señales, utilizando sus diversas características para la realización de las distintas

pruebas necesarias. La placa diseñada se encuentra conectada a la placa de captura de datos HSC-ADC-EVALCZ, la cual se conecta a un ordenador personal a través de un cable USB. Este cable es el encargado de transmitir los datos al ordenador, el cual a través de un instrumento virtual procesa los datos y presenta la información. A continuación se detalla en qué consiste la instrumentación virtual y se describe el software de instrumentación virtual VisualAnalog.

5.1.1 Desarrollo del Instrumento Virtual

La instrumentación virtual se trata de un método de trabajo distinto para el diseño e implementación de sistemas de instrumentación en contraposición con los métodos tradicionales. La instrumentación virtual aprovecha el bajo coste y alto rendimiento de los ordenadores personales o estaciones de trabajo para que el usuario configure y genere sus propios sistemas logrando de esta forma: alto desempeño del sistema, flexibilidad, reutilización y reconfiguración. A la par con estos beneficios se logra una notoria disminución de los costes de desarrollo, costes de mantenimiento, etc.

Un instrumento virtual consta de un elemento hardware y otro software. El primero está constituido por el ordenador personal, que realiza el procesamiento y visualización de los datos, y un sistema específico, cuya función es la de adquirir datos. Este último elemento generalmente está constituido por una placa de adquisición de datos (en el presente proyecto se utiliza la placa HSC-ADC-EVALCZ). El componente software consiste en un programa que se ejecuta en el ordenador personal, y a través de una interfaz gráfica permite la adquisición, análisis y presentación de los datos.

La plataforma software utilizada en el presente proyecto es VisualAnalog, este software está específicamente diseñado para la evaluación y el testado de convertidores A/D de alta velocidad. Para ello, combina un potente conjunto de herramientas de simulación y análisis de datos, permitiendo personalizar los desarrollos mediante un simple interfaz gráfico, en el que mediante la combinación de distintos bloques se genera la aplicación deseada.

VisualAnalog sigue un modelo de flujo de datos para ejecutar el instrumento virtual. Un nodo del diagrama de bloques se ejecuta cuando ha recibido todas las entradas requeridas. Cuando un nodo completa su ejecución, produce datos de salida y pasa los datos al siguiente

nodo en la trayectoria del flujo de datos. El movimiento de los datos a través de los nodos determina el orden de ejecución y las funciones del diagrama de bloques.

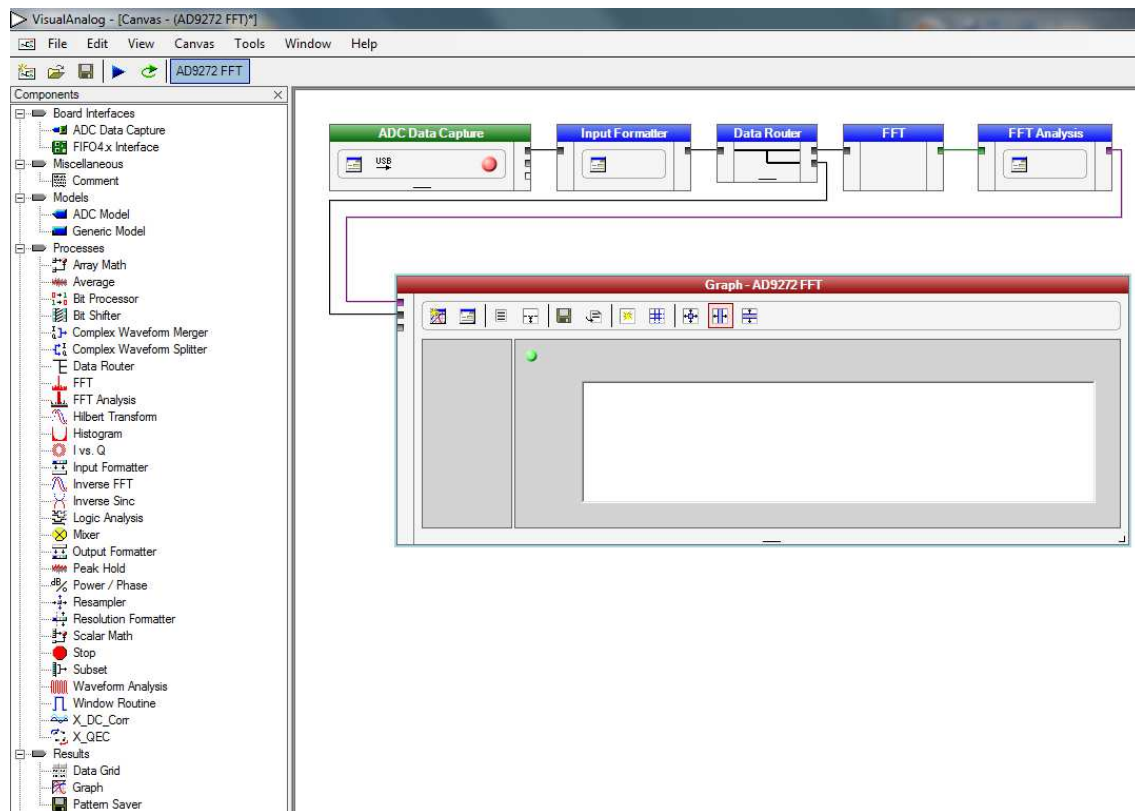


Figura 37. Vista del software VisualAnalog

El instrumento virtual se ha desarrollado a partir del ejemplo AD9272 FFT, a continuación se detalla los distintos bloques usados y su funcionamiento.

En primer lugar, se necesita el bloque ADC Data capture, el cual es el responsable de adquirir los datos provenientes de la placa HSC-ADC-EVALCZ. Este componente permite determinar con que convertidor A/D se está trabajando, la frecuencia de muestreo utilizada y el número de canales de los cuales se quiere extraer información.



Figura 38. Componente ADC Data Capture

Seguidamente se utiliza el componente Input Formatter, el cual realiza una conversión del formato de los datos entrantes, a un formato normalizado con el cual trabajan la mayoría de los bloques del software.

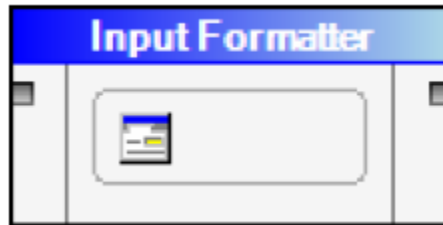


Figura 39. Componente Input Formatter

El siguiente componente es FFT, el cual se encarga de transformar los datos del dominio del tiempo al dominio de la frecuencia.



Figura 40. Componente FFT

Una vez que los datos están en el dominio de la frecuencia se utiliza el componente FFT Analysis, el cual se encarga de realizar el análisis numérico que determina los principales parámetros de la señal de entrada.

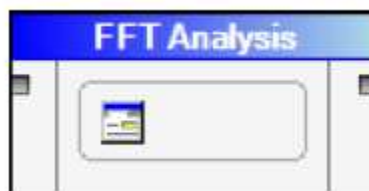


Figura 41. Componente FFT Analysis

Para finalizar, se utiliza el componente Graph, que representa tanto la señal de entrada en el dominio del tiempo como la información de la señal en el dominio de la frecuencia obtenida a partir del bloque FFT analysis.

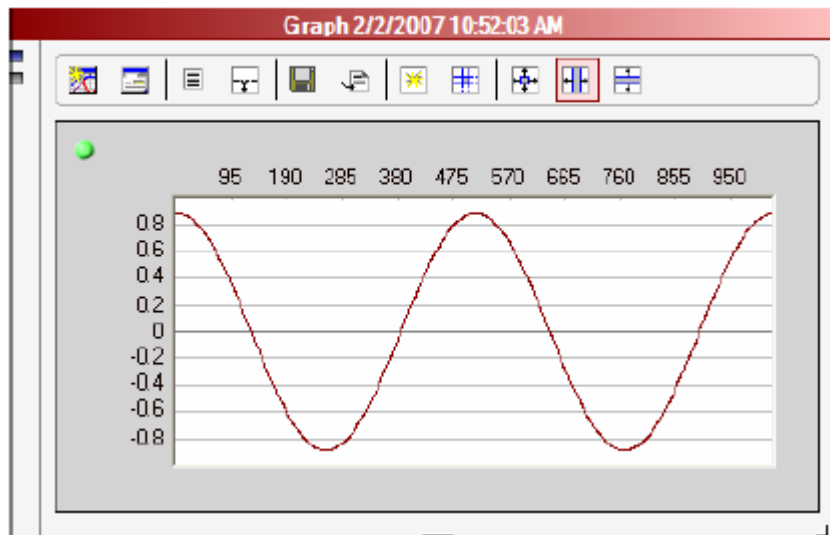


Figura 42. Componente Graph

5.1.2 Placa de captura de datos HSC-ADC-EVALCZ

La placa de captura de datos HSC-ADC-EVALCZ, es un producto de la compañía Analog Devices, la cual está basada en la FPGA Xilinx Virtex 4 que se encarga de capturar bloques de datos digitales provenientes de placas de evaluación de convertidores A/D de alta velocidad de la propia compañía.

La placa es fácil de configurar, para ello simplemente basta con conectarla a un ordenador personal a través del puerto USB y a través del software Visual Analog, se puede establecer distintas configuraciones en función del convertidor A/D a evaluar.

El sistema puede adquirir datos digitales hasta una velocidad de 644 MSPS en tasa de transferencia simple (SDR) y hasta 800 MSPS en tasa de transferencia doble (DDR). La FPGA contiene una memoria FIFO integrada que permite capturar datos hasta un total de 64kB.

Además la placa permite numerosas expansiones y aumento de posibilidades debido a que la FPGA es reconfigurable a través del conector JTAG que lleva incorporado.

En el presente proyecto, se ha utilizado la configuración por defecto que posee para la evaluación del dispositivo AD9272.

5.1.3 Resultados experimentales

5.1.3.1 Prueba de inicialización

El primer paso que se dio una vez que se tuvo todo el sistema montado y diseñado, y se estaba en disposición de realizar los primeros test, fue comprobar si la placa diseñada funcionaba o por el contrario, existía algún tipo de error que conllevaba un no funcionamiento. Por ello, una vez que se alimentó la placa electrónica por primera vez, se midieron mediante la ayuda de un osciloscopio aquellas señales de la placa, que necesariamente debían responder de la forma esperada.

Así pues, se midieron las señales de reloj CLK+ y CLK-, las cuales deben poseer una frecuencia igual a la frecuencia del oscilador utilizado, en nuestro caso, esta frecuencia tiene un valor de 40 MHz.

A continuación, se realizó la medida de la salida del reloj de muestra (FCO), el cual es generado internamente a partir de las señales de reloj y también posee una frecuencia de 40 MHz.

También se intentó medir de medir la salida del reloj de datos (DCO), pero se encontró con la imposibilidad de ello, debido a que este posee una frecuencia 6 veces la frecuencia de reloj, y no se ha conseguido un osciloscopio con un ancho de banda suficiente. Sin embargo, debido a que tanto el FCO como el DCO son generados internamente por el mismo bloque, se puede deducir del funcionamiento del FCO que el DCO funciona también correctamente.

Además, se hizo una breve comprobación de la referencia de tensión continua ajustable que hay a la entrada del circuito de que controla la ganancia del atenuador (Circuito de GAIN), y se estableció un valor de 0V en el cual la atenuación es máxima.

Una vez que se realizaron todas estas comprobaciones se conectó a la placa mediante un cable coaxial la salida del generador de funciones, el cual estaba programado con una frecuencia de 5 MHz y una salida de 100 mVpp. En este momento, se realizaron dos comprobaciones más, las cuales fueron que la señal de entrada al circuito correspondiese a esa señal y que la salida analógica que posee el integrado, que se corresponde a la salida del amplificador de bajo ruido (LNA), tuvieran el valor esperado. En este caso, y en la configuración por defecto que posee el integrado, la amplificación de LNA es 17.9 dB es decir (8x), en modo diferencial, pero es alrededor de 6 dB menor al medirla en salida

asimétrica (*single-ended*). Por tanto, la amplitud de la señal en el pin LO-X será 4 veces mayor a la entrada.

Por último, se comprobó el funcionamiento del canal de acondicionamiento completo, para ello se realizó el montaje mostrado en la figura 36, el cual se describe en el comienzo de este capítulo. A continuación se muestra el espectro de frecuencias y la representación de la señal en el tiempo de 5 MHz y 100 mVpp :

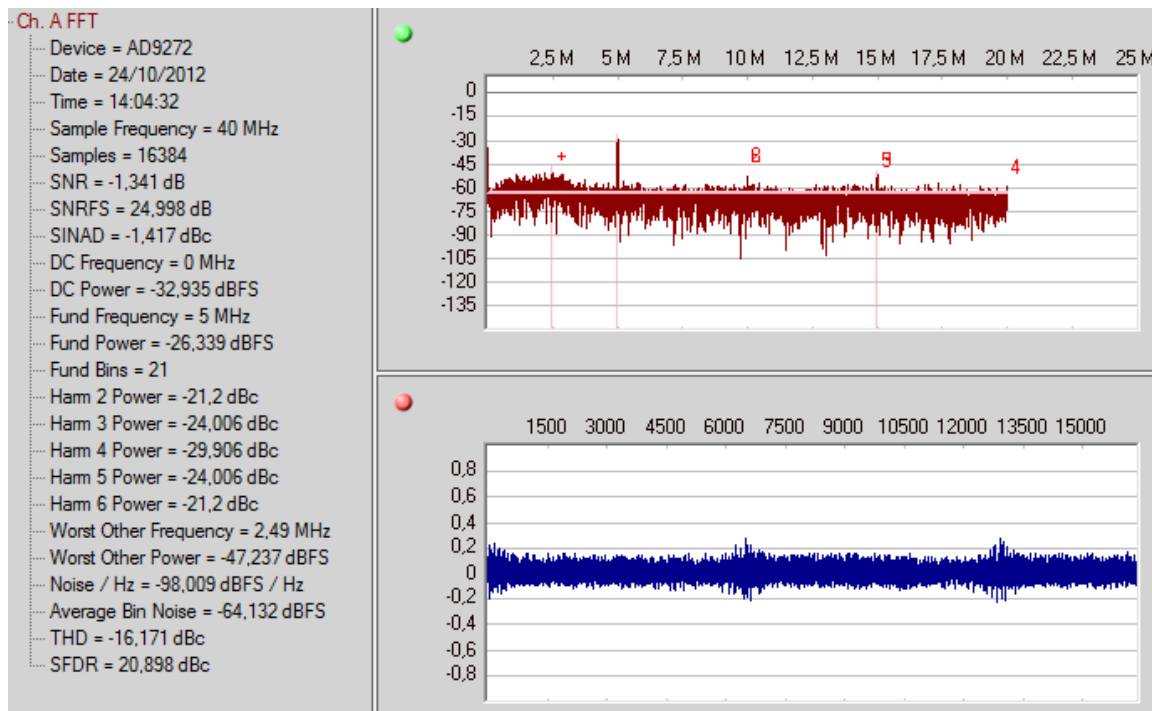


Figura 43. Espectro de frecuencias y representación de la señal temporal de la prueba de inicialización.

Se puede observar como la componente con mayor energía se encuentra en 5 MHz, y con una energía de -26.339 dBFS. Por otro parte, los valores de amplitud de la señal continua mostrada están normalizados con respecto al máximo que puede soportar el convertidor A/D que es 4,4 Vpp. Se puede observar como la señal muestreada no es perfectamente una señal sinusoidal ya que en ciertos instantes varía un poco la amplitud, la razón de este comportamiento es simplemente una cuestión de montaje y soldadura de la placa, ya que el montaje del conector que sirve para unir la placa diseñada con la placa de captura de datos no se ha conseguido que sea el óptimo.

Por tanto, como conclusión se puede afirmar que el funcionamiento de la placa es adecuado, y se puede trabajar con ella.

5.1.3.2 Caracterización de la respuesta en frecuencia

En este proyecto el dispositivo utilizado cuenta con una tasa de muestreo de 40MSPS. Como se ha descrito en el apartado 3.2.3 del presente capítulo, la frecuencia de corte del filtro paso bajo depende de la tasa de muestreo, y en su configuración por defecto esta posee un valor que viene determinado por la siguiente expresión, $FPB = 1/3 \cdot f_{muestreo}$, dando como resultado una frecuencia de corte de 13,33 MHz.

La frecuencia de corte del filtro paso alto viene determinada según la frecuencia del filtro paso bajo y del ratio por defecto que tiene el dispositivo. Por tanto, el valor de la frecuencia de corte del filtro paso alto es, $FPA = FPB/20.7$, dando como resultado 643 KHz.

Las pruebas se hacen con una señal de entrada de 100 mVpp, y con los parámetros de ganancia de los amplificadores en sus parámetros por defecto. A continuación se muestra el gráfico que caracteriza la respuesta en frecuencia del mismo:

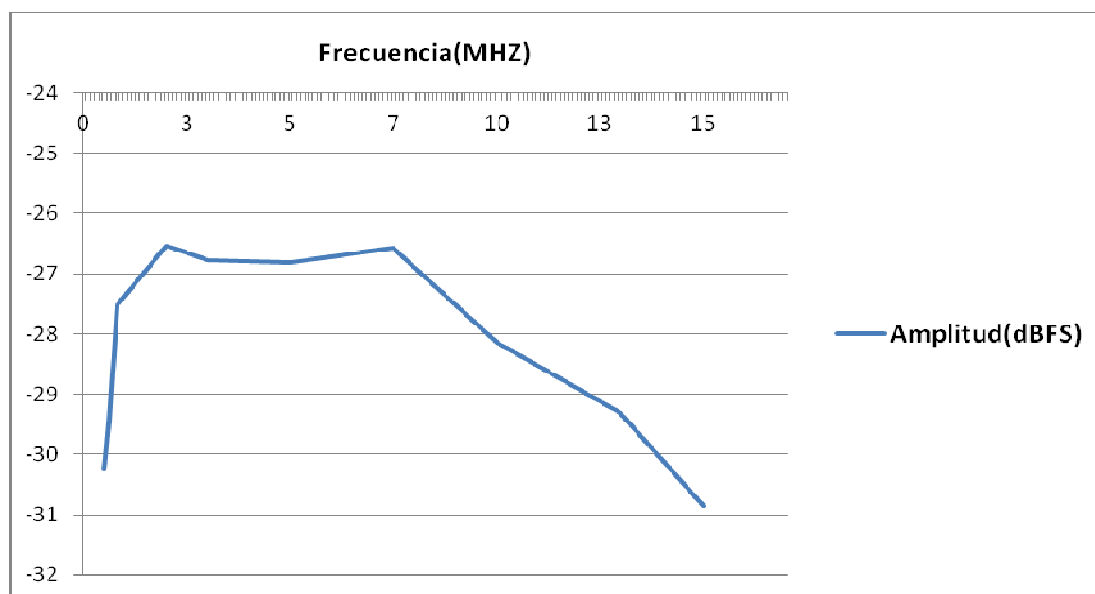


Figura 44. Respuesta en frecuencia de la placa de circuito impreso

No se han obtenido una gran cantidad de datos, pero da una idea de la respuesta en frecuencia de la placa diseñada y demuestra que la placa cumple con el comportamiento esperado.

5.1.3.3 Caracterización del control de ganancia

Como se ha descrito en el apartado 4.1.2, es posible controlar el nivel de atenuación del VGA, a través del potenciómetro montado en la placa. A la hora de la realización de las pruebas nos encontramos con una limitación en el diseño, el nivel de tensión continua es entregado por un amplificador operacional, los cuales típicamente entregan a su salida 20 mA, si la impedancia que ve a su salida es de 50Ω , el máximo nivel de tensión continua que se obtiene es de 1V. Por tanto, el control de la atenuación no será total sino que se encontrará entre 0-1 V, a los que corresponden la atenuación de -42dB y -13.5 dB respectivamente. A continuación se muestra el espectro de frecuencias para ambos casos:

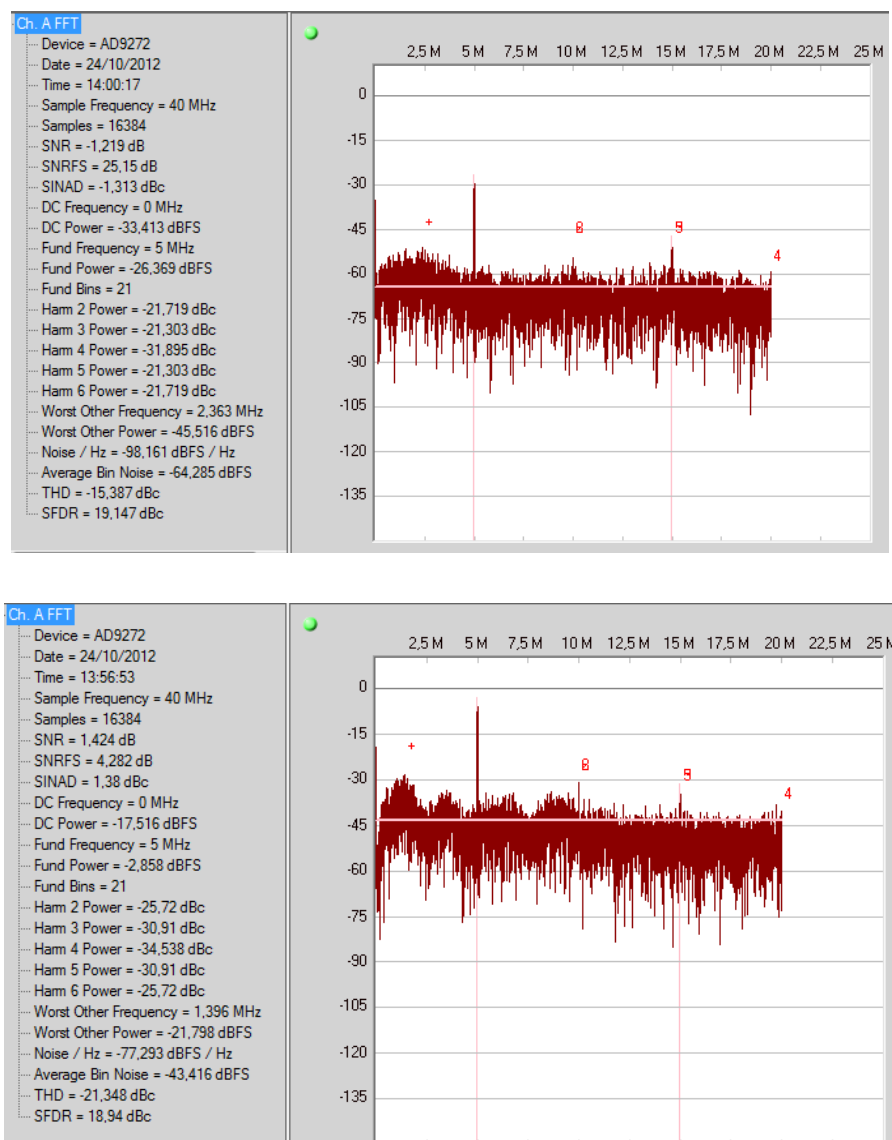


Figura 45. Espectro de frecuencias para niveles de atenuación de -42 dB y de -13.5 dB

En la anterior figura se puede observar, como varían los niveles de energía de la señal debido a la atenuación, en el caso de la componente principal de 5 MHz, existe una diferencia de unos 24 dBFS, cercanos a los 28.5 dBFS/V esperados, existiendo una explicación plausible de la pequeña diferencia encontrada. Atendiendo a la hoja de características la linealidad de los 28.5dB/V se produce entre los 0.16 V hasta los 1.44 V, produciéndose errores en los márgenes hasta 0V y 1.6V respectivamente. La representación teórica de este fenómeno se puede observar en la siguiente figura, la cual ha sido cogida de las hojas de características del integrado.

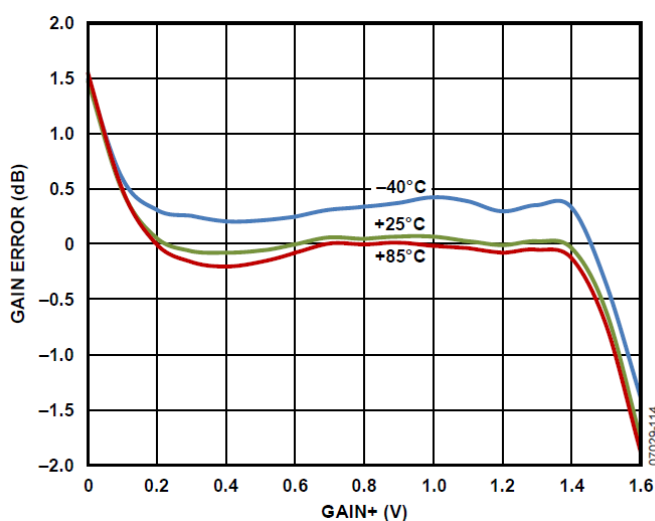


Figura 46. Error de la ganancia en dB en función de nivel de tensión en GAIN+.

5.1.3.4 Prueba del Bus SPI

Como se ha detallado en el capítulo 3, mediante el bus SPI es posible cambiar distintos parámetros del dispositivo, entre los que se encuentran niveles de ganancia, o parámetros que afectan a las frecuencias de corte del filtro anti-aliasing.

Sin embargo, a la hora de la comprobación de su funcionamiento nos hemos encontrado con que no se ha conseguido poder utilizarlo. Por ello, se hizo una revisión de las conexiones del circuito, así como de distintos niveles de señal esperados en distintos puntos del mismo, pero no se ha obtenido una conclusión clara del porqué no funciona.

5.2 Prueba de concepto: velocimetría Doppler

En el presente apartado se evalúa de manera experimental el desempeño del sistema ultrasónico diseñado para la estimación de velocidades de flujo, más concretamente, se pretende emular a un velocímetro del flujo mediante ultrasonidos Doppler en onda continua. Por ello, hay que tener muy presente el apartado 2.4.2 del presente proyecto, en el que se desarrolla el funcionamiento de instrumentos Doppler de onda continua.

La Figura 47 ilustra de manera general el esquema del experimento desarrollado

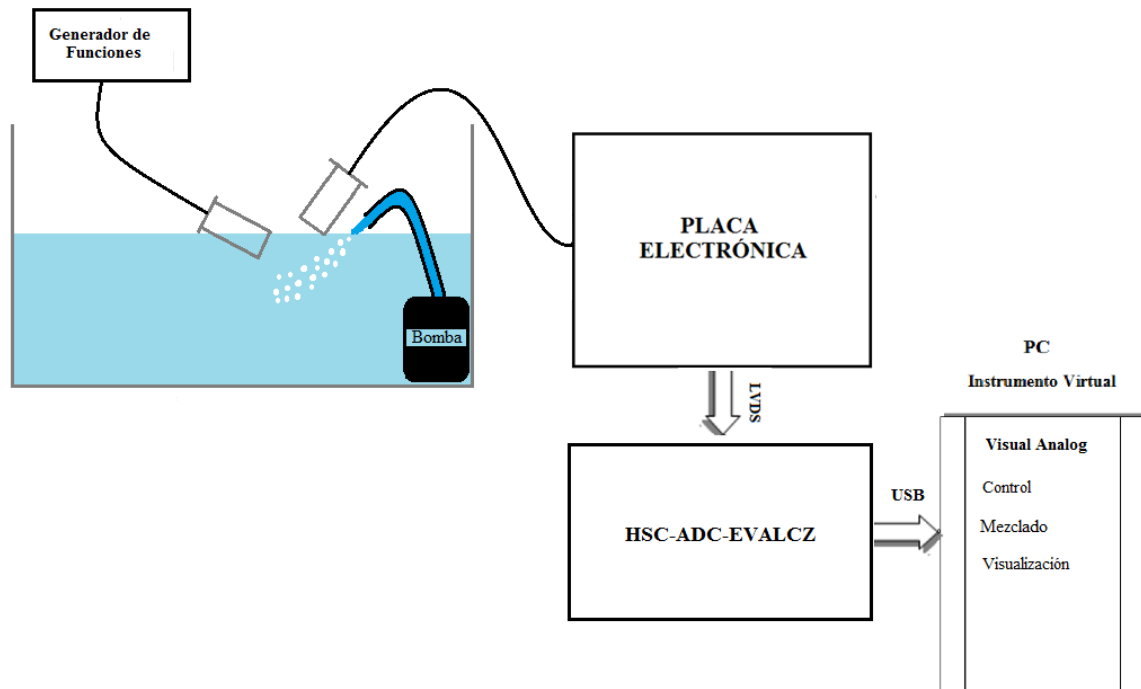


Figura 47. Diagrama de bloques de la prueba de concepto

5.2.1 Descripción del sistema

A continuación se describen los elementos que componen el sistema experimental.

- **Generador de funciones**

Para excitar el transductor emisor se utiliza un generador de funciones HP 33120A. Este es configurado en modo onda continua, con una señal eléctrica sinusoidal de frecuencia 5 MHz y una amplitud de 10 Vpp.



Figura 48. Generador de funciones utilizado

- **Tanque de agua**

Se trata de una cuba de agua de metacrilato cuyas dimensiones son 500 x 700 x 400 mm la cual es rellena con agua. Su interior es accesible por la parte superior por la cual se introducen los transductores de ultrasonidos y la bomba de agua. Ver figura 49.



Figura 49. Figura representativa del tanque de agua

- **Transductores piezoeléctricos**

Estos sensores son de tipo piezoeléctrico Olympus panametrics NDT V326-SU (Anexo 3.2) con una frecuencia de resonancia de 5 MHz y con la característica de que deben ser usados en medio acuoso. Los sensores se colocaran en forma de V con un ángulo aproximado de 75° con respecto a la dirección del fluido.

Debido a que se quiere emular un sistema Doppler de onda continua, el transductor emisor es excitado con una onda sinusoidal continua de 10 Vpp. Mientras que a la salida del transductor receptor se le ha acoplado un amplificador de 40 dB, antes de ser conectada a la entrada de la placa diseñada.

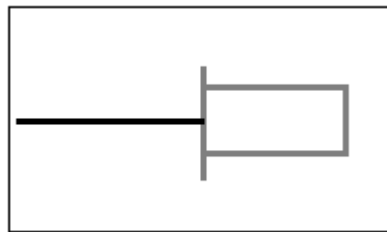


Figura 50. Figura representativa de los transductores piezoeléctricos

- **Bomba de agua**

Para establecer un flujo de agua dentro del tanque se utiliza una pequeña bomba la cual es capaz de bombear hasta 350 l/h dependiendo de la tensión de alimentación que se le suministre (3V-9V).

El agua bombeada es conducida a través de una manguera de plástico flexible de 1 cm de diámetro interno y con un grosor de pared igual a 1 mm. El rango de velocidades que permite obtener el sistema construido fue medido utilizando un recipiente calibrado con diferentes niveles de volumen. Para ello se bombeo agua al recipiente hasta alcanzar el volumen de 1 litro y se midieron los tiempos necesarios para alcanzar dicho volumen en cada caso. La velocidad del fluido por la manguera se calculó usando la siguiente expresión:

$$v = \frac{\text{volumen}}{\text{tiempo} \cdot \text{Área}_{\text{manguera}}}$$

Capítulo 5: CARACTERIZACIÓN y prueba de concepto

Se establecieron 2 niveles de referencia de velocidad, para las tensiones de 4V y 6V. Los tiempos empleados en cada caso para rellenar un litro de agua fueron de 11 y 3.5 segundos respectivamente. Por lo tanto, las velocidades de flujo utilizadas son 0,29 y 0,90 m/s.

Por último, cabe destacar la gran aproximación que se ha realizado para medir la velocidad de flujo. Debido a la necesidad de la existencia de reflectores que permitan la reflexión de las ondas ultrasónicas, fue necesario forzar un flujo de burbujas con los medios disponibles, para ello, el flujo de agua se direcciona hacia el agua contenida en el tanque creando un flujo de burbujas cuya velocidad va disminuyendo gradualmente. La medida se intenta realizar cerca del punto de impacto, para que la velocidad medida de las burbujas sea muy parecida a la del flujo en la manguera.

En un primer momento, se pensó en intentar medir la velocidad de la sangre en el cuerpo humano, pero debido a algunas complicaciones, se decidió medir únicamente la velocidad de un fluido. Aunque el sistema implementado tiene alguna similitud, choca frontalmente con la realidad ya que el flujo de sangre en el cuerpo humano es pulsátil [20], cuasi-laminar y los reflectores de los ultrasonidos son los eritrocitos o células rojas.



Figura 51. Bomba de agua utilizada

- **Circuito de acondicionamiento de señales acústicas de ultrasonidos**

Es el componente principal del sistema, el cual ha sido detallado en el Capítulo 4, aun así, a continuación se describe la información necesaria para poder implementar el sistema de pruebas. La señal de entrada procedente del transductor de ultrasonidos es conectada mediante un cable coaxial RG-58. La placa es alimentada mediante una señal continua de 6 Vdc, y acoplada a la placa de captura de datos HSC-ADC-EVALCZ.

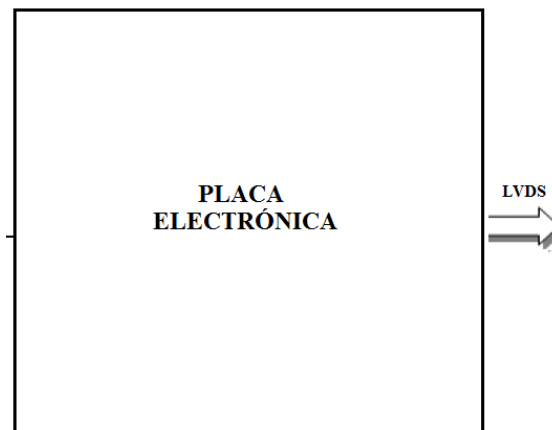


Figura 52. Bloque representativo de la placa electrónica diseñada

- **Instrumento virtual**

Desde el PC se ejecuta el entorno de Visual Analog donde se crea un instrumento virtual adaptado a las necesidades del sistema, y que permite control de la adquisición, filtrado digital, procesamiento de señal y presentación de resultados.

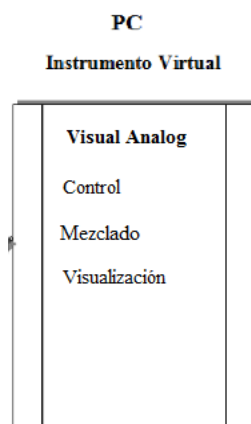


Figura 53. Bloque representativo del instrumento virtual

5.2.2 Resultados experimentales

El instrumento virtual realizado para la prueba de concepto tiene su principio de funcionamiento basado en el diagrama de bloques de la figura 14, en el que se muestra un sistema Doppler de onda continua.

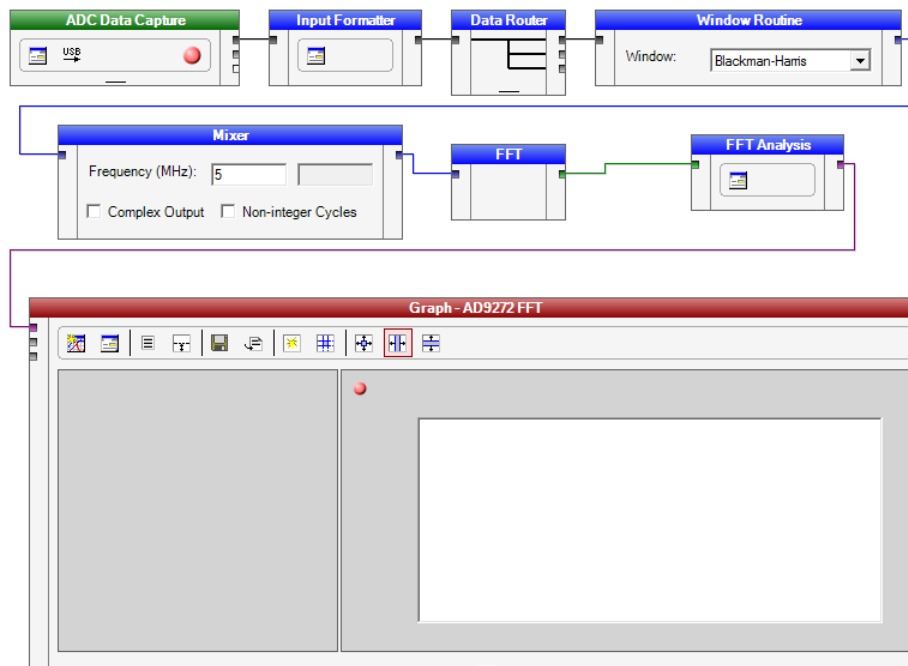


Figura 54. Instrumento virtual de la prueba de concepto

La mayor parte de este instrumento virtual es parecido al utilizado para la caracterización del sistema, pero posee una gran diferencia. Para la extracción de la frecuencia Doppler es necesario hacer un mezclado entre la señal recibida y la señal con la que se excita al transductor emisor, también llamada señal de referencia. El mezclado y la creación de esta señal de referencia, es realizado por el mismo bloque del instrumento virtual, en este caso el bloque mixer.

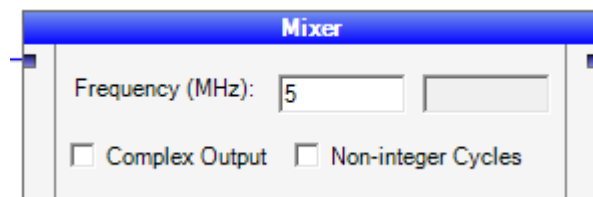


Figura 55. Figura representativa del bloque mixer

La señal de referencia es de 5 MHz, que es con la que se excita al transductor emisor, la amplitud de esta señal no es relevante, ya que la información buscada versa sobre el espectro de frecuencias de la señal resultante del mezclado. El instrumento virtual tiene como finalidad final mostrar el espectro de frecuencia de la señal mezclada.

(**Nota: Toda la información a cerca de la extracción de la frecuencia Doppler viene detallada en el apartado 2.4.2 del presente proyecto**)

Una vez que hemos descrito las distintas partes de nuestro sistema, vamos a realizar unos sencillos cálculos, para determinar los valores de frecuencia Doppler que se esperan recibir en función de los datos que manejamos de velocidad de fluido y frecuencia del haz transmitido:

$$f_t = 5 \text{ MHz}$$

$$v = 0.29 - 0.9 \text{ m/s} \quad f_d = \frac{2f_t V \cos \theta}{c} = 0.49 - 1.54 \text{ KHz}$$

$$c = 1500 \text{ m/s}$$

$$\Theta = 75^\circ$$

A continuación se mostraran los resultados para distintos estados de funcionamiento del sistema, primeramente se mostrará la información para un estado de reposo en el que no existe flujo, y posteriormente se repetirá el proceso para distintas velocidades de flujo en función de la tensión de alimentación de la bomba de agua.

Sin flujo

En las gráficas 56 y 57, se observa el espectro de frecuencias de la señal de entrada una vez que ha sido multiplicada por una señal de referencia de 5 MHz.

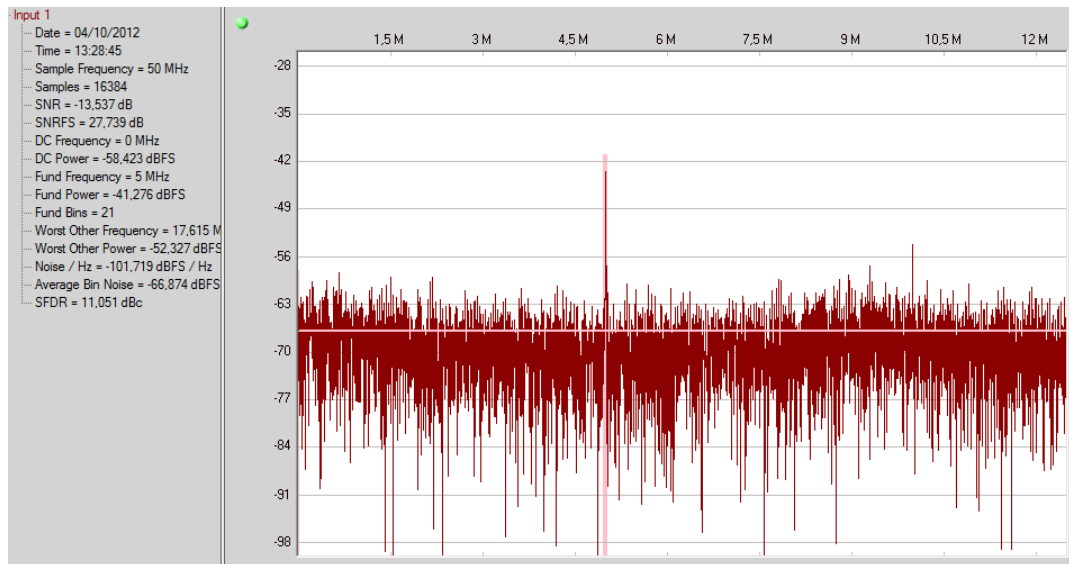


Figura 56. Espectro de frecuencias del sistema en reposo

En la gráfica 57, el espectro de frecuencia se muestra en la escala de KHz centrándose en la zona cercana a DC, que es donde se esperarían ver aumento en la potencia de la señal. Al no existir ningún tipo de flujo, se puede observar no existe ninguna frecuencia que posea una mayor frecuencia.

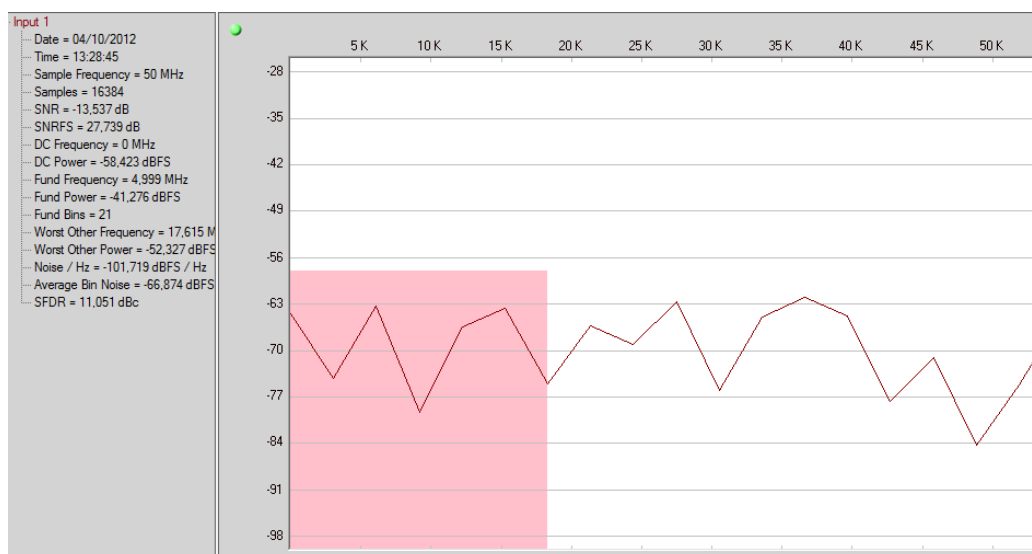


Figura 57. Espectro de bajas frecuencias del sistema en reposo

Con flujo (4 V)

En la gráfica 58, se muestra en el espectro de frecuencias en distintas escalas. La información de interés reside en que se pueda apreciar como alrededor de los 500 Hz se produce un aumento de la potencia que es del orden de 20 dB con respecto a aquellas frecuencias que no sufren variación de amplitud en relación al estado del sistema sin flujo. Además se puede observar como el aumento de la amplitud no se produce de manera puntual en una única frecuencia, sino que existen una serie de frecuencias alrededor de 500 Hz que también disponen de mayor potencia debido al perfil de velocidades en el flujo.

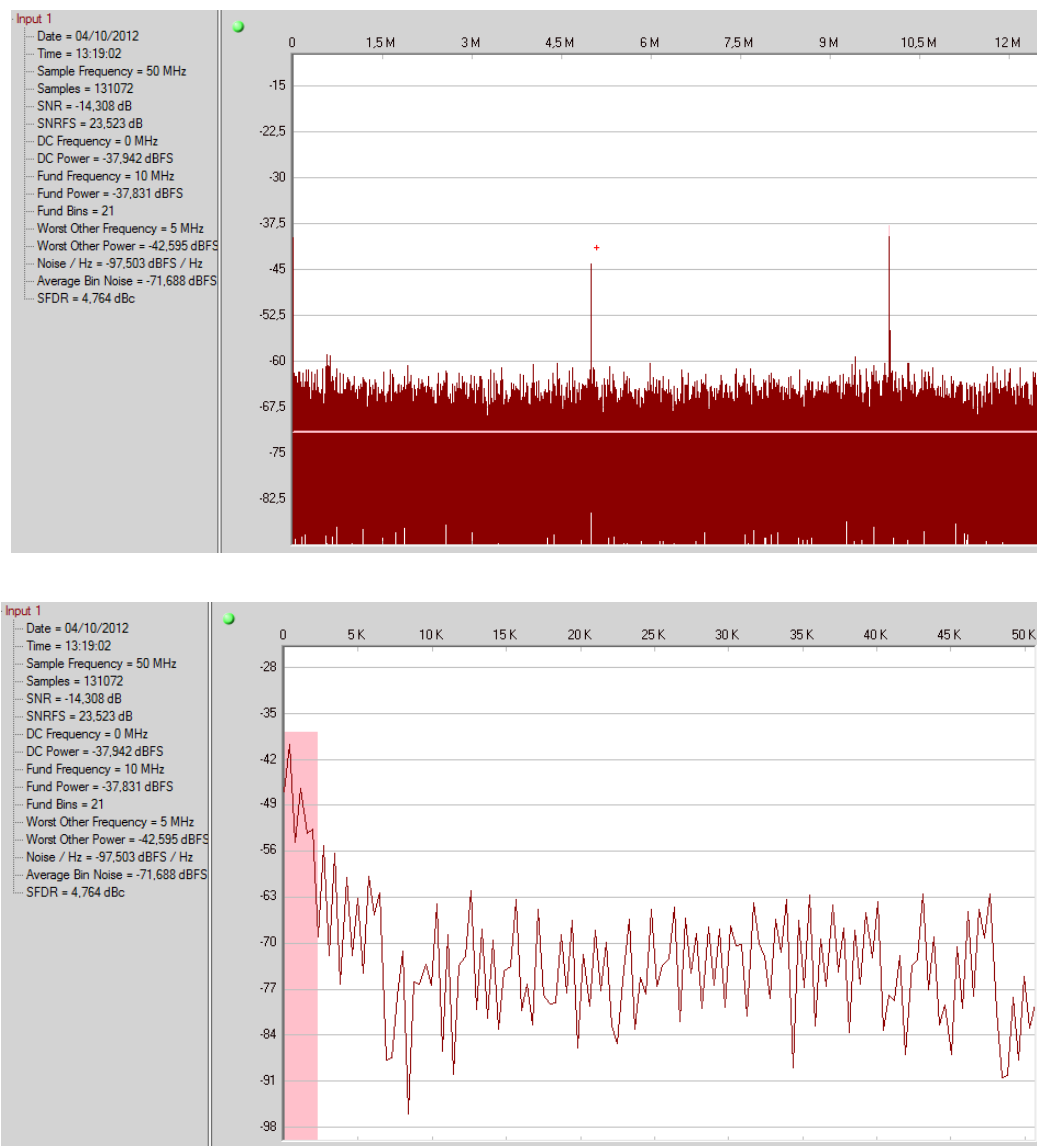


Figura 58. Espectros de frecuencias del sistema con flujo (4V)

Con flujo (6 V)

En la gráfica 59, se muestra en el espectro de frecuencias en distintas escalas, cuando la bomba de agua está alimentada con 6V. Este caso es muy parecido al anterior, pero se aprecia como al aumentar la velocidad del fluido, la frecuencia que posee una potencia mayor esta en torno a 1,5 KHz. Este resultado es cercano al valor teórico, lo que es un indicador que el sistema funciona correctamente dentro de sus limitaciones.

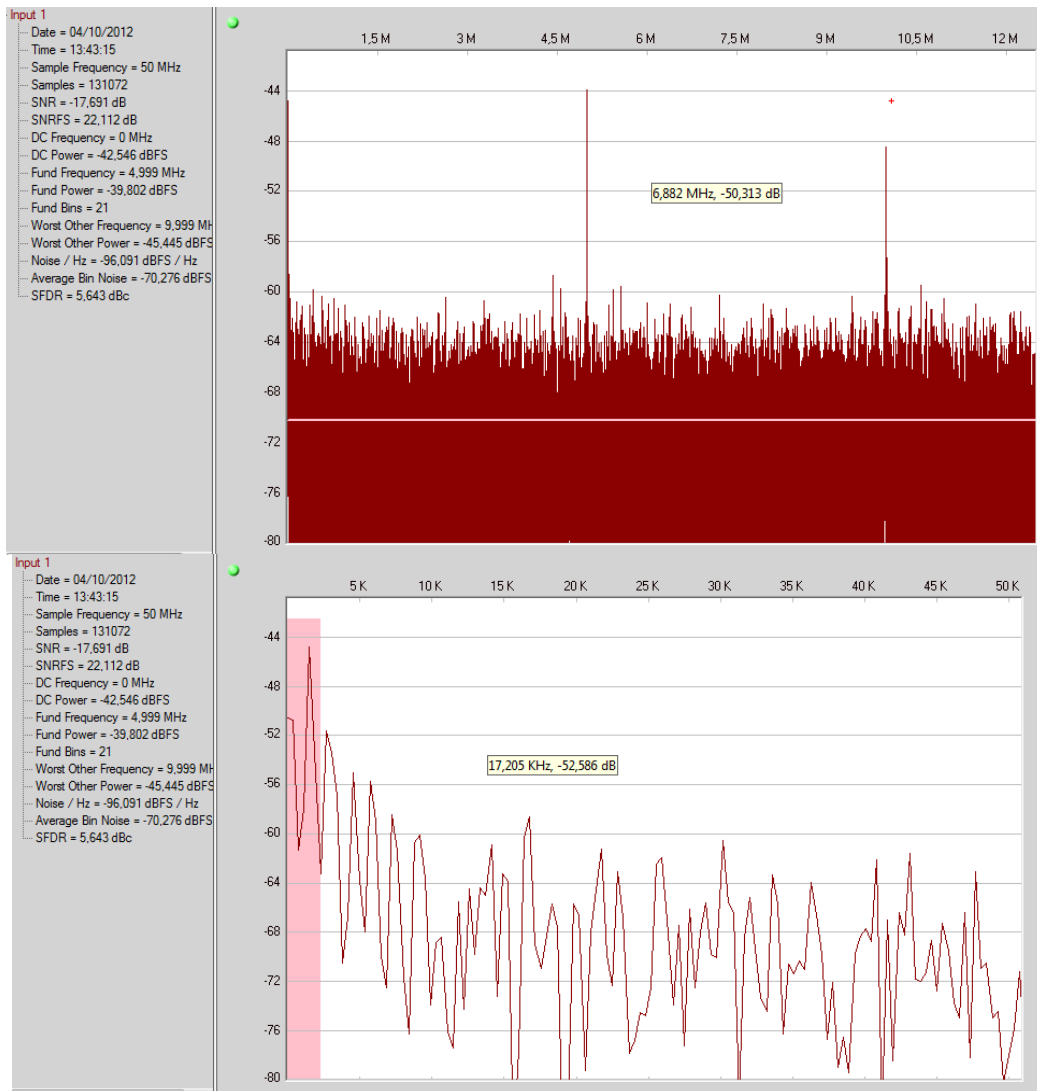


Figura 59. Espectros de frecuencias del sistema con flujo (6V)

Capítulo 6

Conclusiones y líneas de trabajo futuro

6.1 Conclusiones

Una vez ejecutado el proyecto y realizadas las comprobaciones de funcionamiento correspondientes, se han llegado a las siguientes conclusiones.

Se ha conseguido la implementación de una canal de circuito integrado de *front-end* Analógico AD9272 con una tasa de muestreo de 40 MSPS, para el acondicionamiento de señales de Ultrasonidos en la banda de MHz.

Se ha logrado establecer la comunicación y control desde un ordenador personal a través de su integración con la placa de captura de datos HSC-ADC-EVALCZ y el diseño de un instrumento virtual que incluye un bloque de procesamiento.

Se ha caracterizado el componente y se han probado varias de sus funcionalidades, aunque no se ha conseguido el funcionamiento del Bus SPI, lo que limita la versatilidad y funcionalidad de la placa de circuito impreso diseñada.

Finalmente, se ha conseguido emular un sistema para medición de flujo mediante velocimetría Doppler, aunque este sistema no deja de ser una aproximación a una aplicación del mundo real, la prueba realizada tiene el mayor parecido con sistemas de flujometría doppler en tuberías, en los cuales los reflectores de las ondas ultrasónicas suelen ser zonas de burbujeo o partículas en suspensión.

6.2 Líneas de trabajo futuro

Hay varias posibilidades de conseguir mejores prestaciones de la placa diseñada. A continuación se detallan una serie de mejoras y trabajos que se podrían realizar en el sistema:

- 1- Se puede mejorar la estabilidad y precisión de la alimentación del componente, para ello es posible utilizar el circuito integrado ADP5020, este se trata de una unidad de gestión de la alimentación, la cual proporciona un alto rendimiento en cuanto a niveles de ruido y reduce el número de componentes necesarios ya que integra todas las alimentaciones requeridas por el AD9272 en contraposición a los diferentes reguladores de tensión utilizados en el diseño actual.
- 2- Se puede aumentar el número de canales disponibles, lo que permitiría poder utilizar el diseño en aplicaciones con resolución espacial, ya sean biomédicas o de ensayos no destructivos, pudiendo acondicionar las señales procedentes de una sonda phased array. A tal fin, sería necesario modificar el diseño a uno multicapa.
- 3- A la hora de realizar la integración de la placa diseñada con otros sistemas se propone realizar un interfaz propio para el control del Bus SPI, para ello se puede seguir la nota de aplicación de Analog Devices AN-812.
- 4- Por último las salidas digitales de la placa diseñada que cumplen con el estándar ANSI 644-LVDS, podrían conectarse a un módulo compatible de National Instruments para su posterior análisis utilizando instrumentación virtual en LabVIEW, lo que permitiría mayor flexibilidad en el diseño de diversas aplicaciones que incluyan post-procesamiento.

Capítulo 7

Presupuesto

En este presupuesto se muestra una estimación de los gastos que ha conllevado la realización del proyecto, quedando reflejado los costes de personal, los costes de equipos y los de subcontratación de tareas.

La duración del proyecto ha sido de 12 meses, abarcando desde Octubre de 2011 hasta Octubre de 2012.

7.1 Costes de personal

Para la consecución del proyecto ha sido necesaria la participación de un ingeniero junior y de un ingeniero sénior durante los 12 meses de duración.

El ingeniero junior ha trabajado 525 horas correspondientes a las fases de formación, diseño, desarrollo, pruebas del sistema y redacción de la documentación. Se ha estimado que su salario es de 20,5 €/hora.

El ingeniero sénior tuvo una participación de 100 horas y se ha estimado que su salario es de 33 €/hora.

Concepto	Sueldo/hora	Horas	Total
Ingeniero Junior	20,50 €	525	10.762,50 €
Ingeniero Sénior	33,00 €	100	3.300,00 €
Total			14.062,50 €

7.2 Costes de material

Estos costes son los referentes al coste de hardware necesario para la fabricación y montaje de la placa, y los costes de equipos y software que han sido necesarios para la ejecución del proyecto.

Componentes electrónicos

Descripción	Cantidad	Precio unitario	Precio total
Condensador cerámico 0.1uF 50Vdc	17	0,41 €	6,97 €
Condensador X2 10nF 275V	2	0,241 €	0,482 €
CRCW2512 Resistencia T/R 1W,1%,100R	2	0,078 €	0,156 €
CRCW2512 Resistencia T/R 1W,1%,49R9	2	0,078 €	0,156 €
Condensador cerámico 1uF 50Vdc	6	0,77 €	4,62 €
3.3V Diodo zener, BZX79C3V3 500mW	1	0,106 €	0,106 €
Resistencia, Carbon Composition, 0.66W, 330R	1	0,035 €	0,035 €
Resistencia axial precisión RC55Y,1K 0.25W	3	0,98 €	2,94 €
CRCW 2010 Resistencia 1k	3	0,134 €	0,402 €
Trimmer Cermet 1K 10mm	1	1,98 €	1,98 €
Amp op LMC6041 3MHz	1	2,42 €	2,42 €
XO SMD 3.3V 50.000MHz 5x7mm	1	3,80 €	3,80 €
Pulse transformer, 1CT:1CT, 100UH 78615/4C	1	2,48 €	2,48 €
Diodo rectificador, HSMS2812 0.01 ^a	1	1,134 €	1,134 €
HOLCO Axial resistor, 0.25W, 348R	1	0,584 €	0,584 €
Condensador cerámico 47pF	1	0,142 €	0,142 €
Metal film resistor 10K	5	0,038 €	0,19 €
1A CMOS LDO, 1.8V, MCP1826S-1802E/AB	2	1,08 €	2,16 €
1 A CMOS LDO, 3.0V, MCP1825S-3002E/AB	1	1,60 €	1,60 €
500 mA CMOS LDO, 3.3V, MCP1825S-3302E/AB	1	1,37 €	1,37 €

7.2 COSTES de material

1 A CMOS LDO, 5.0V, MCP1825S-5002E/AB	1	1,412 €	1,412 €
AD9272	1	49,25 €	49,25 €
Conector hemb. BNC	1	1,79 €	1,79 €
Header Tyco 6469169-1	2	13,07 €	26,14 €
Terminal de montaje en PCB 2 vías	2	1,194 €	2,388 €
NC7WZ07P6X	1	0,51 €	0,51 €
NC7WZ16P6X	1	0,36 €	0,36 €
Total			115,58 €

Equipos

Descripción	Coste (Euros)	%Uso dedicado proyecto	Dedicación (meses)	Período de depreciación	Coste imputable
Equipo informático	849,00	10	12,0	60	16,98 €
Windows7 Professional original de 64 bits	Incluido en el equipo	100	12,0	--	0,00 €
Microsoft office starter 2007	Incluido en el equipo	100	12,0	--	0,00 €
VisualAnalog	Descarga gratis internet	100	12,0	--	0,00 €
Otros programas	Incluido en el equipo	100	12,0	--	0,00 €
AD9272-65EBZ	341,79 €	100	4,0	60	22,79 €
HSC-ADC-EVALCZ	718,59 €	100	4,0	60	47,91 €
Bomba de agua	19,50 €	100	4,0	60	1,30 €
Total					88,97 €

7.3 Subcontratación de tareas

Para poder llevar a cabo la soldadura de circuito integrado AD9272, ha sido necesario encargarla a una empresa externa.

Concepto	Empresa	Coste imputable
Fabricación de PCB	Oficina Técnica	50,00 €
Soldadura de AD9272	Contratación Externa	100,00 €
Total		150,00 €

7.4 Resumen de Costes

Para finalizar se incluye una tabla con el resumen de costes y el presupuesto final.

Descripción	Costes totales (Euros)
Costes del personal	14.062,50 €
Costes del material	204,95 €
Subcontratación de tareas	150,00 €
Total	14.417,45 €

El presupuesto total de este proyecto asciende a la cantidad de **CATORCE MIL CUATROCIENTOS DIECISIETE EUROS CON CUARENTA Y CINCO CENTIMOS** incluyendo el impuesto sobre el valor añadido.

Leganés a 26 de octubre de 2012

Fdo. El ingeniero proyectista
Germán Hernández Rodríguez

Glosario

ADC	<i>Analog-to-Digital Converter</i>
ANSI	<i>American National Standards Institute</i>
ASTM	<i>American Society for Testing and Materials</i>
BGA	<i>Ball Grid Array</i>
CWD	<i>Continuous Wave Doppler</i>
dBFS	<i>Decibels Full Scale</i>
DCO	<i>Data Clock Output</i>
DCS	<i>Duty Cycle Stabilizer</i>
DDR	<i>Double Data Rate</i>
EA	<i>Emisión Acústica</i>
EIA	<i>Electronic Industries Alliance</i>
END	<i>Ensayos No Destructivos</i>
ESR	<i>Equivalent Series Resistance</i>
FCO	<i>Frame Clock Output</i>
FFT	<i>Fast Fourier Transform</i>
FIFO	<i>First In First Out</i>
FRP	<i>Frecuencia de Repetición de Pulsos</i>
JTAG	<i>Joint Test Action Group</i>
LNA	<i>Low Noise Amplifier</i>
LSB	<i>Least Significant Bit</i>
LVDS	<i>Low-Voltage Differential Signal</i>
MSB	<i>Most Significant Bit</i>
MSPS	<i>Mega Samples Per Second</i>
OC	<i>Onda Continua</i>
OP	<i>Onda Pulsada</i>
SDR	<i>Single Data Rate</i>
SMD	<i>Surface Mount Device</i>
SPI	<i>Serial Port Interface</i>
TIA	<i>Telecommunications Industry Association</i>
TQFP	<i>Thin Quad Flat Pack</i>
USB	<i>Universal Serial Bus</i>
VGA	<i>Variable Gain Amplifier</i>

GLOSARIO

Referencias

- [1] *Ultrasound schools info.* Disponible [Internet]: <<http://www.ultrasound-schools-info.com/history/>> [05 de noviembre de 2012]
- [2] J.L.Zamorano. *Doppler tisular.* Disponible [Internet]: <www.castellana-cardio.es/documentos/monocardio/ecocardiografia.pdf> [05 de noviembre de 2012]
- [3] *Healthcare imaging ultrasound.* Analog Devices. Disponible [Internet]: <<http://healthcare.analog.com/en/imaging/ultrasound/segment/health.html>> [05 de noviembre de 2012]
- [4] Evan F. Boote. *Doppler US Techniques: Concepts of Blood Flow Detection and Flow Dynamics.* Disponible [Internet]: <<http://radiographics.rsna.org/content/23/5/1315.full.pdf+html>> [05 de noviembre de 2012]
- [5] Alfonso Fernández Hatre. *Ensayos no destructivos por ultrasonidos.* Disponible [Internet]: <http://www.idepa.es/sites/web/idepaweb/Repositorios/galeria_descargas_idepa/EnsayosNoDestructivosUltras.pdf> [05 de noviembre de 2012]
- [6] *Phased array testing: Basic theory for industrial applications.* Olympus NDT. Noviembre 2010. Disponible [Internet]: <<http://www.olympus-ims.com/en/ndt-tutorials/phased-array/>> [05 de noviembre de 2012]
- [7] Jesse Granillo y Michel Moles. *Portable Phased Array Applications.* 2005. Disponible [Internet]: <www.asnt.org/publications/materialseval/basics/apr05basics/apr05basics.htm> [05 de noviembre de 2012]
- [8] Anna Sidorova. *Aplicación del método de la emisión acústica en la monitorización de las estructuras de hormigón.* Tesis de Máster, Universidad Politécnica de Cataluña Abril

REFERENCIAS

2010. Disponible. [Internet]: <http://upcommons.upc.edu/pfc/handle/2099.1/12327/> [05 de noviembre de 2012]

[9] T. Szabo, *Diagnostic Ultrasound Imaging: Inside Out*. Burlington, MA: Elsevier Science, 2004.

[10] C. Kasai, K. Namekawa, A. Koyano y R. Omoto, "Real-time two-dimensional blood flow imaging using an autocorrelation technique," *IEEE Transactions on Sonics and Ultrasonics*, vol. SU-32, no.3, pp. 458-464, Mayo 1985. Disponible [Internet]: http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=1539691&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D1539691 [05 de noviembre de 2012]

[11] M.Fuentes, A.Sotomayor, F.García, E. Moreno y P.Acevedo. *Sistema Doppler bidireccional para medida de flujo sanguíneo basado en una arquitectura abierta*. 2006. Disponible [Internet]: < www.medigraphic.com/pdfs/inge/ib-2003/ib032e.pdf > [05 de noviembre de 2012]

[12] *Doppler Measurement*. Australian Center for Field robotics. Disponible [Internet]: <www.acfr.usyd.edu.au> [05 de noviembre de 2012]

[13] *Maxim Engineer Journal*, vol 60. Maxim integrated. Disponible [Internet]: <<http://pdfserv.maximintegrated.com/end/ej/EJ60.pdf>> [05 de noviembre de 2012]

[14] National Instruments. *Understanding LVDS for Digital Test Systems*. . Disponible [Internet]: < <http://www.ni.com/white-paper/4441/en/> > [05 de noviembre de 2012]

[15] Analog Devices. Disponible [Internet]: <<http://www.analog.com/en/analog-to-digital-converters/ad-converters/products/index.html>> [05 de noviembre de 2012]

[16] Texas instruments. *Medical Imaging*. Disponible [Internet]: <http://www.ti.com/general/docs/gencontent.tsp?contentId=51432&DCMP&DCMP=hpa_contributed_articles&HQS=ArticleReprint+OT+ultrasound-ca> [05 de noviembre de 2012]

REFERENCIAS

- [17] Analog Devices. *Application Note AN-877*. Disponible [Internet]: <http://www.analog.com/static/imported-files/application_notes/56755538964965031881813AN_877.pdf> [05 de noviembre de 2012]
- [18]- Analog Devices. *Engineer zone- Analog Devices online technical support community*. Disponible [Internet]: <<http://ez.analog.com/welcome>> [05 de noviembre de 2012]
- [19]- Analog Devices. *Application Note AN-772*. Disponible [Internet]: <http://www.analog.com/static/imported-files/application_notes/AN-772.pdf> [05 de noviembre de 2012]
- [20]- I. A. Hein y W. D. O'Brien Jr., "A flexible blood flow phantom capable of independently producing constant and pulsatile flow with a predictable spatial flow profile for ultrasound flow measurement validations," *IEEE Transactions on Biomedical Engineering*, vol. 37, no.2, pp. 176-189, Mayo 1992. Disponible [Internet]: <<http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=168687>> [05 de noviembre de 2012]
- [21] J. Jensen, *Estimation of Blood Velocities Using Ultrasound: A Signal Processing Approach*. New York, NY: Cambridge University Press, 1996.

REFERENCIAS

Anexos

Anexo 1: Fundamentos de los ultrasonidos

Una onda de ultrasonidos es una onda de presión cuya frecuencia se encuentra por encima del umbral de audición humano (típicamente 20 KHz). Los ultrasonidos son una onda mecánica y como tal, no pueden desplazarse a través del vacío sino que debe existir un medio elástico para que puedan ser transmitidos.

Parámetros básicos

- *Frecuencia*

Es el número de oscilaciones (vibración o ciclo) de una partícula por unidad de tiempo(segundo). La frecuencia se mide en Hertzios (Hz).

- *Periodo*

El periodo (T) es el intervalo de tiempo que tarda la onda en completar un ciclo completo. Se relaciona con la frecuencia a partir de la siguiente expresión:

$$f = \frac{1}{T}$$

- *Amplitud*

Es el máximo cambio producido en la presión de la onda, es decir la distancia máxima que alcanza la partícula vibratoria desde su posición inicial de reposo

ANEXOS

◦ Longitud de onda

Es la distancia entre dos puntos correspondientes en el ciclo de onda cuando viaja a través de un medio. La longitud de onda esta pues relacionada con la frecuencia y la velocidad por la siguiente ecuación:

$$\lambda = \frac{f}{c}$$

donde:

λ - longitud de onda

f- frecuencia

c- velocidad de sonido en el medio

La velocidad de los ultrasonidos varía dependiendo del medio por el que viaje, teniendo mayor o menor velocidad en función de las propiedades elásticas y la densidad del medio, y del modo de propagación de la onda. [5]

En la figura 54 se muestran los parámetros básicos de una onda de ultrasonidos, es decir, la longitud de onda (λ) y el periodo (T).

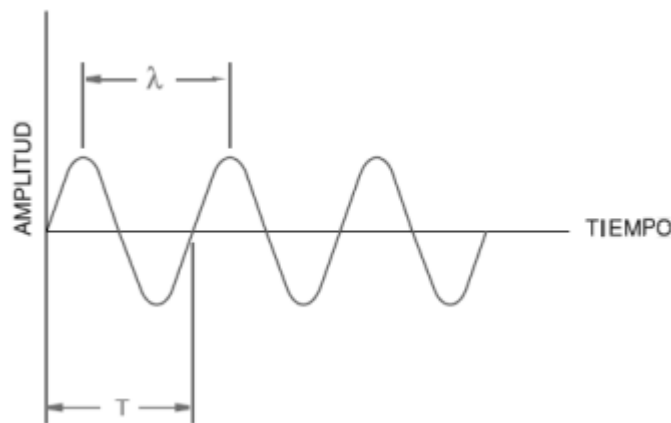


Figura 60. Parámetros de una onda de ultrasonidos [6]

Modos de propagación

Las ondas de ultrasonidos poseen diversos modos de propagación, a continuación se da una breve explicación de los más comunes en aplicaciones con ultrasonidos [6]:

- *Onda longitudinal:* También denominadas como ondas P, están caracterizadas por un movimiento de las partículas del medio en la misma dirección que la propagación de la onda. Este tipo de propagación ocurre en cualquier tipo de medio y se asocian a tensiones normales
- *Onda transversal:* También denominadas como ondas S, en este caso el movimiento de las partículas es perpendicular a la dirección de propagación de la onda. Esta presente solo en sólidos y se asocian a tensiones tangenciales
- *Onda Rayleigh:* Esta onda produce movimientos de partículas elípticos y viaja a través de una superficie o material, penetrando una distancia similar a la longitud de onda.

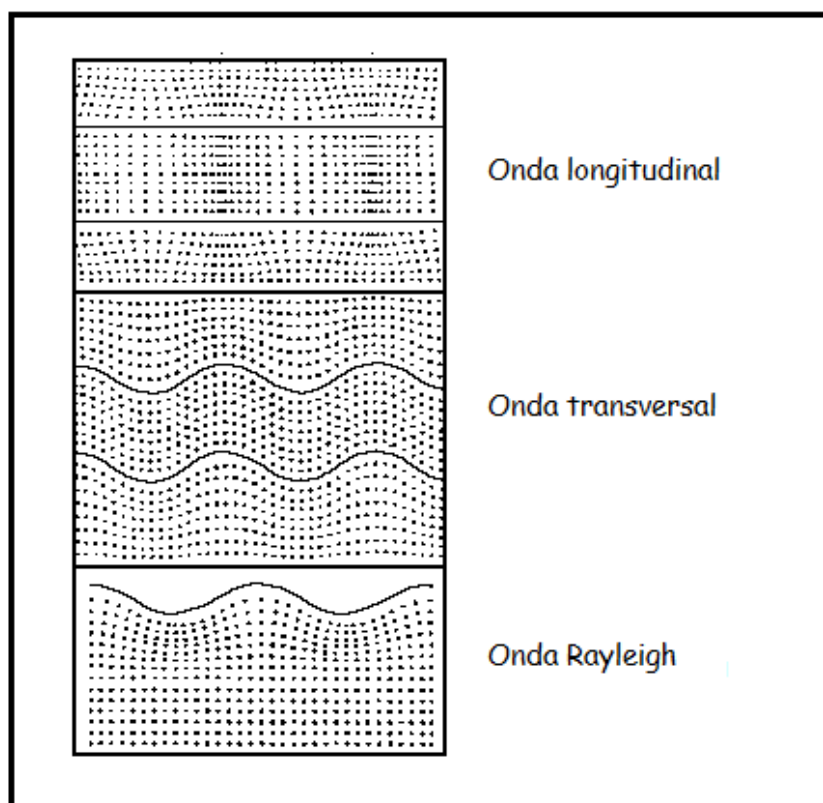


Figura 61. Modos de propagación de los ultrasonidos

Fenómenos físicos

Finalmente, es conveniente recordar los fenómenos físicos que afectan a la propagación de los ultrasonidos, bastante comunes en ondas. Estos fenómenos son los siguientes [21]:

- *Reflexión:* Este fenómeno implica que cuando una onda de ultrasonidos que viaja a través de un medio choca contra un medio diferente, una porción de la energía de la onda será reflejada al medio del que proviene con un ángulo de reflexión igual al de incidencia. La cantidad de energía reflejada depende de la relación entre las impedancias acústicas de ambos materiales, con impedancia acústica definida como la densidad del material multiplicada por la velocidad de propagación en el mismo. La fórmula que define el porcentaje de energía reflejada para un haz con incidencia perpendicular es:

$$R = \frac{Z_2 - Z_1}{Z_2 + Z_1}$$

donde:

R- Coeficiente de reflexión

Z_1 - Impedancia acústica del primer medio

Z_2 - Impedancia acústica del segundo medio

- *Atenuación:* Es el fenómeno por el cual, el haz de ultrasonidos va perdiendo intensidad conforme avanza por un medio. La atenuación se produce por diversos factores, desde la propia absorción de los ultrasonidos por el medio hasta las diversas reflexiones que puedan producirse por heterogeneidad del medio, o efectos de dispersión.

La atenuación es directamente proporcional a la frecuencia del ultrasonido utilizado, por lo que se producirá mayor atenuación con ultrasonidos de mayor frecuencia. Para un material dado, con una temperatura y frecuencia determinadas, existe un coeficiente de atenuación específico. Una vez que el coeficiente de

atenuación es conocido, se puede calcular las pérdidas debidas a la atenuación a partir de la siguiente expresión:

$$p = p_0 \cdot e^{-ad}$$

donde:

p - Presión del sonido a la distancia d
 p_0 - Presión del sonido en la generación
 a - Coeficiente de atenuación
 d - distancia recorrida por el ultrasonido

- *Refacción:* Este fenómeno provoca el cambio de dirección de una onda de sonido al cambiar de medio de propagación. Solo se produce si la onda incide oblicuamente sobre la superficie de separación de los dos medios y si estos tienen índices de refracción distintos. Este fenómeno se produce a causa del cambio de la velocidad de propagación que el sonido sufre al cambiar de medio.

- *Difracción:* Este fenómeno ocurre cuando el sonido, ante determinados obstáculos o aperturas, en lugar de seguir la propagación en la dirección normal, se dispersa.

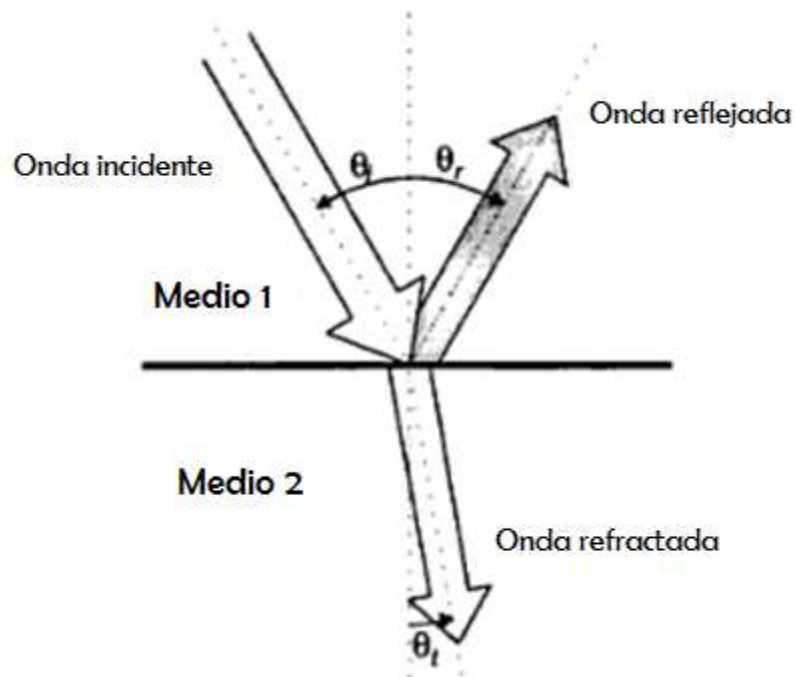
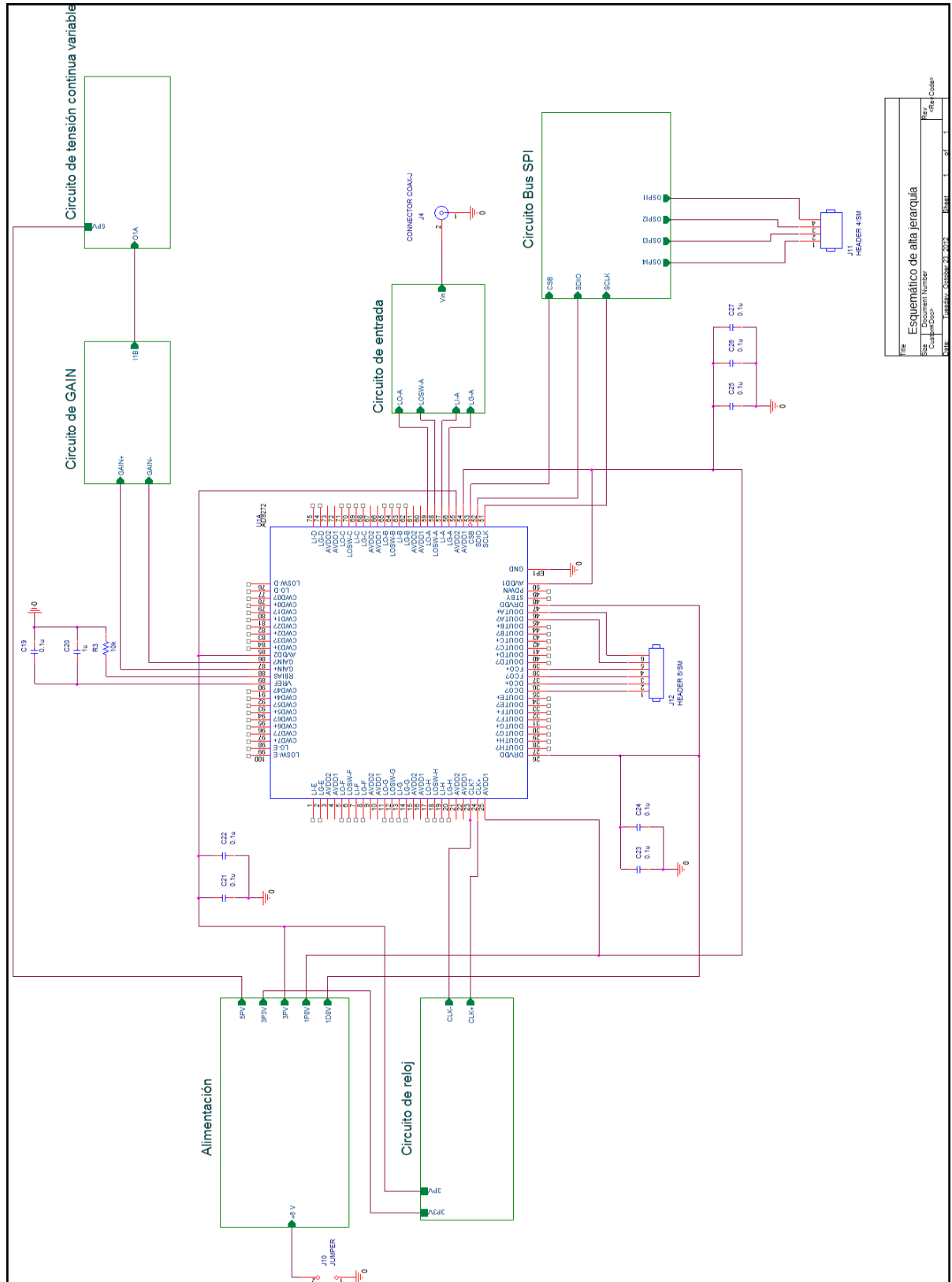


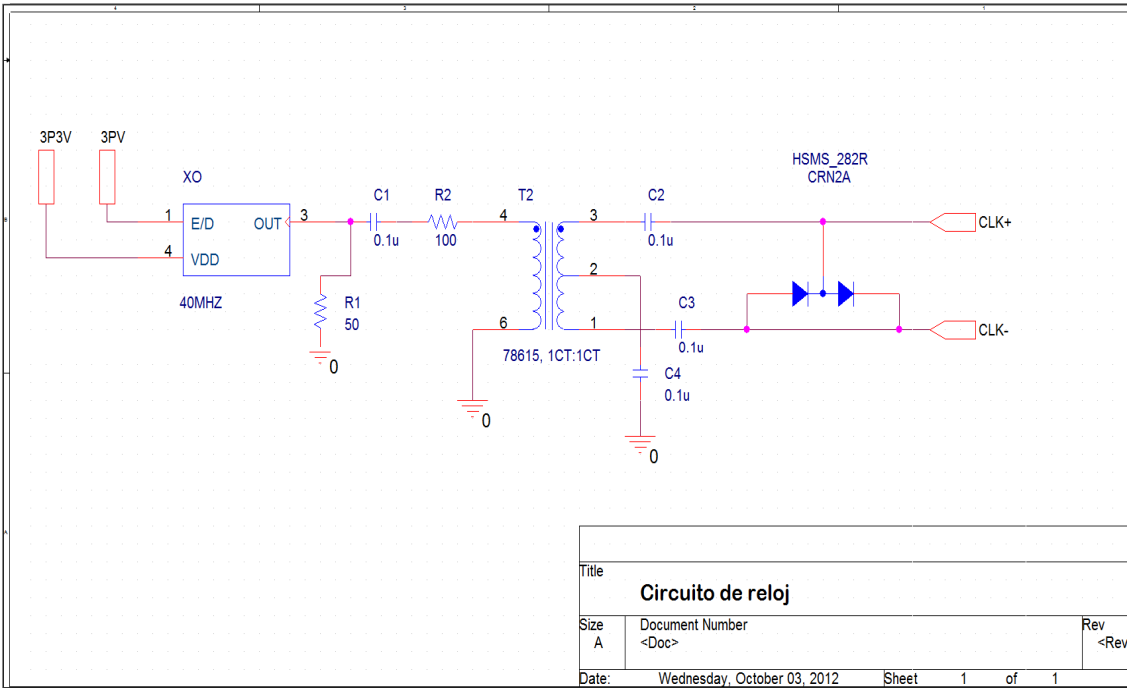
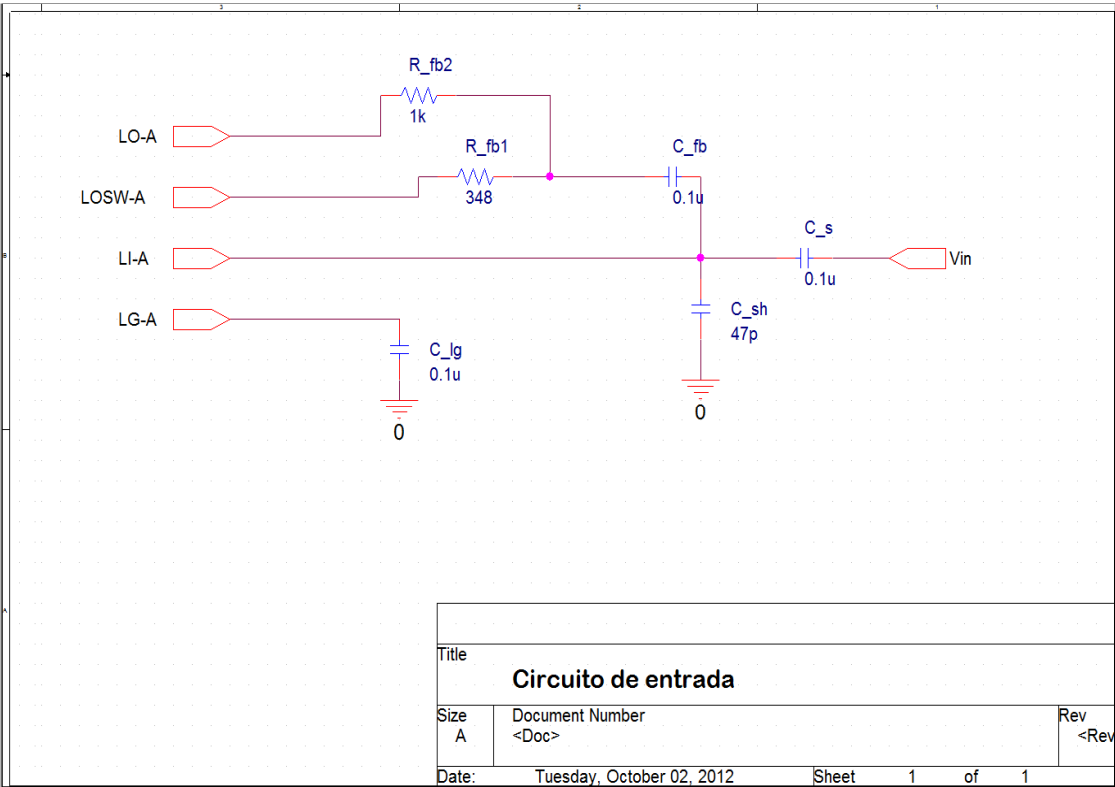
Figura 62. Reflexión y refracción de una onda de ultrasonidos [21]

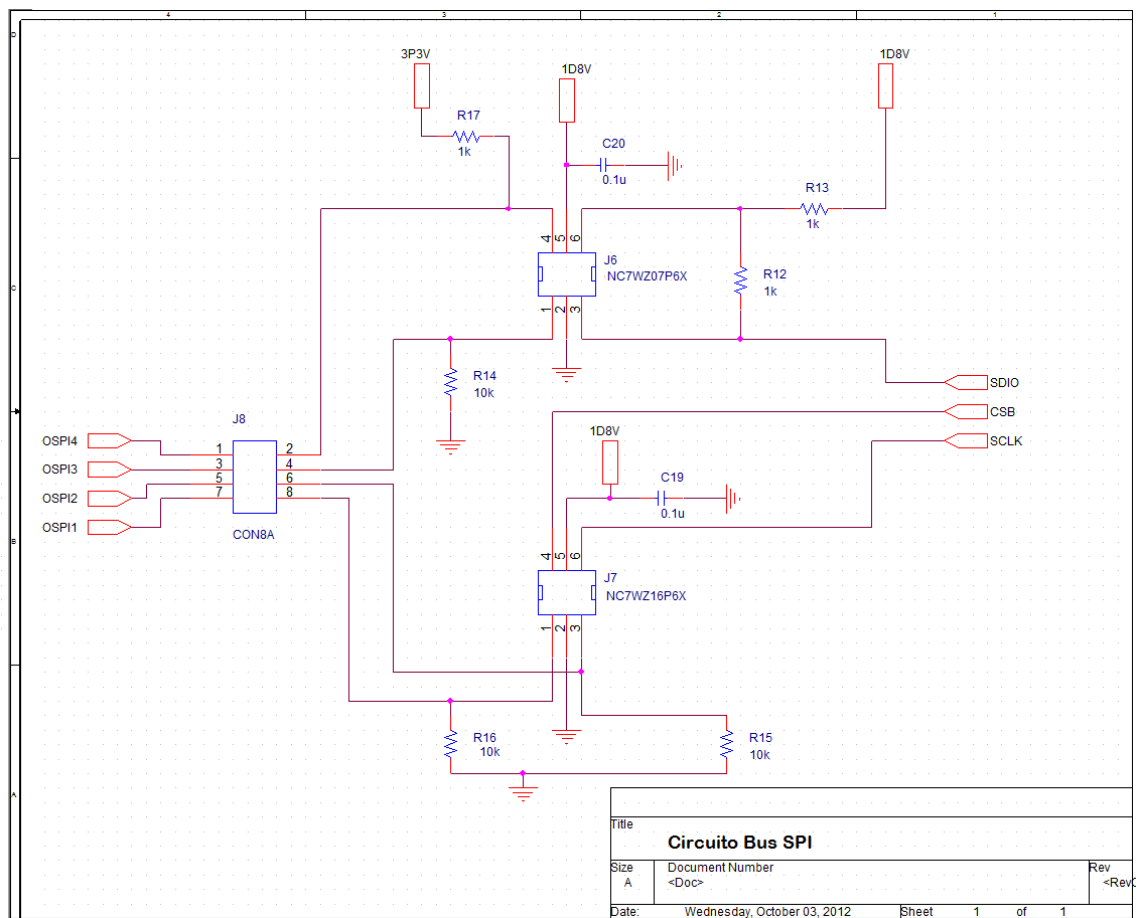
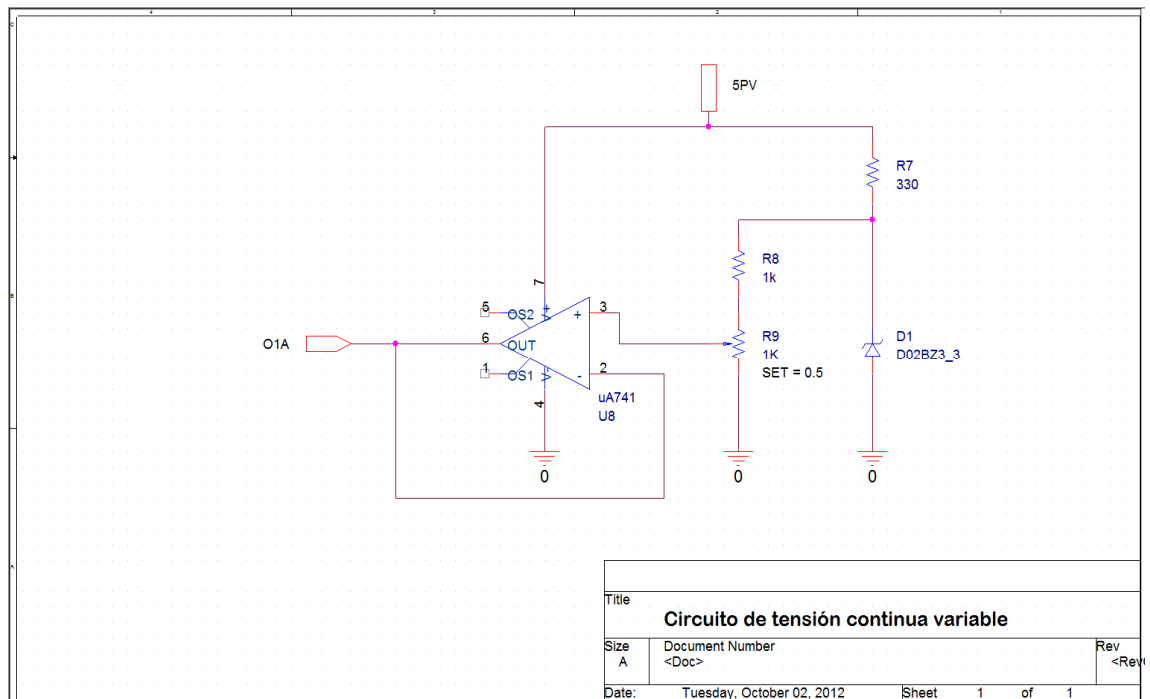
Anexo 2: Planos

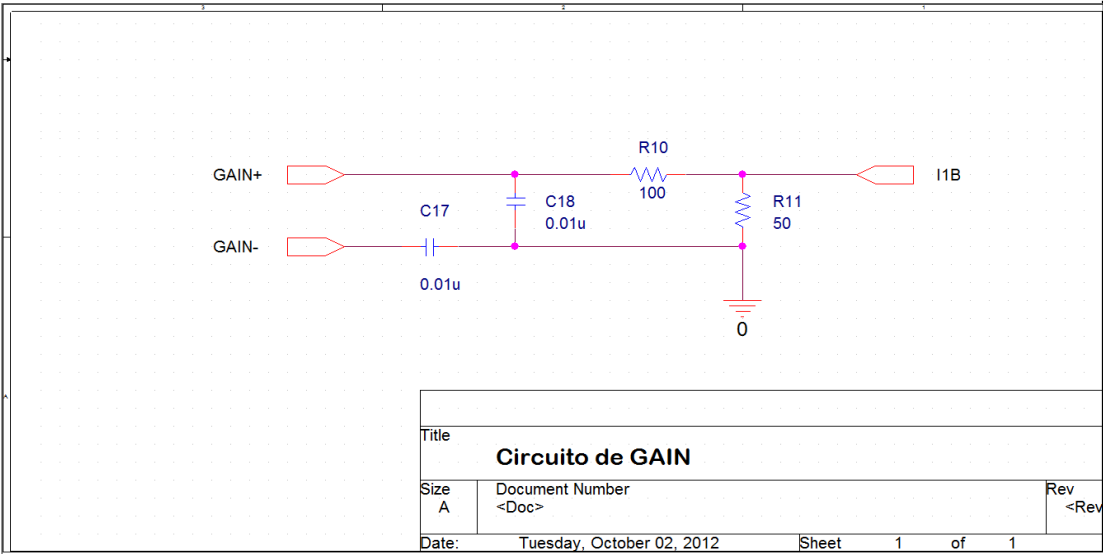
Anexo 2.1: Circuitos impresos



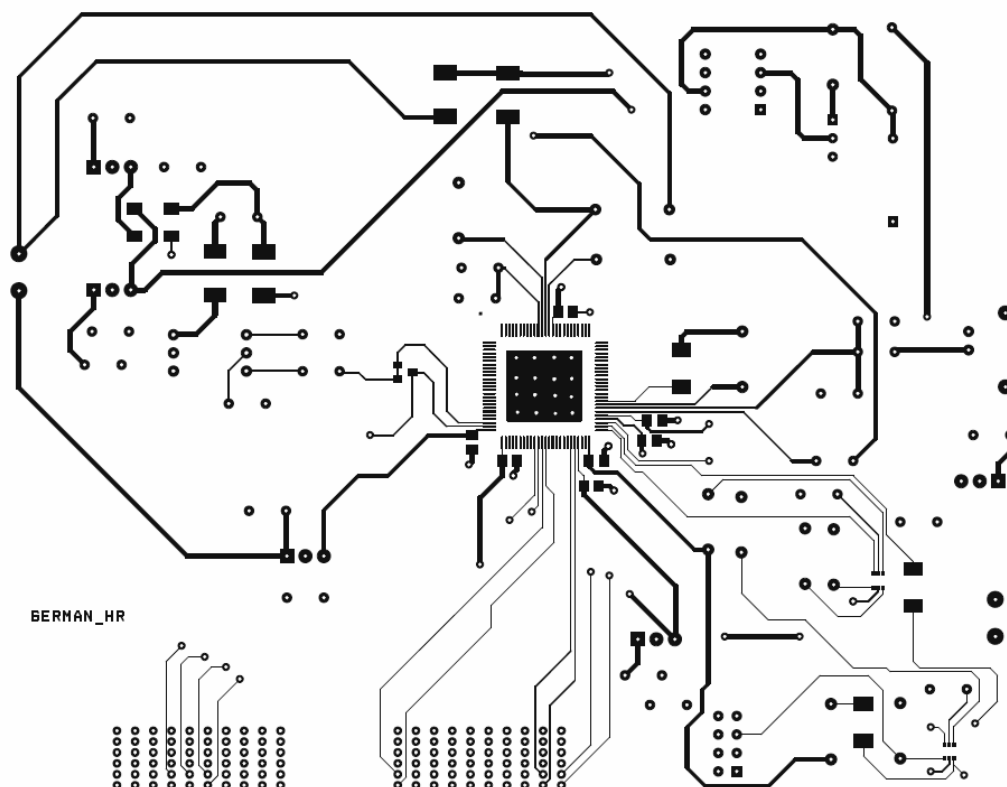
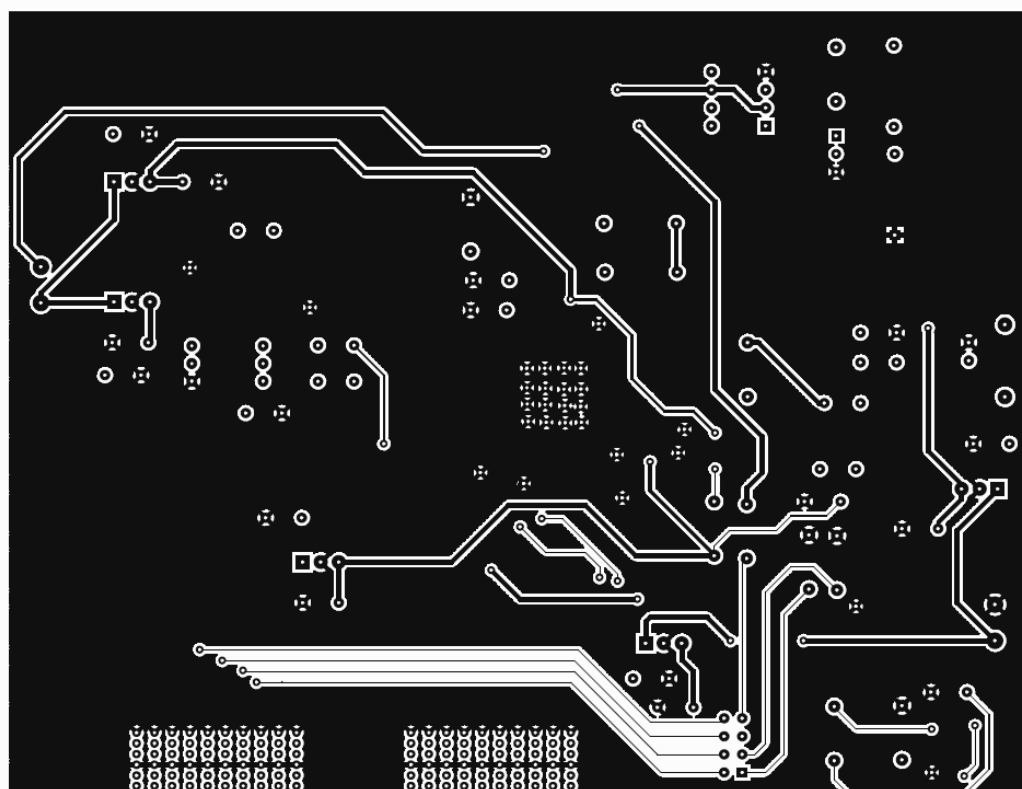
File	Esquemático de alta jerarquía
Size	Document: 10/20/2016
Cost	Cost: 10/20/2016
Rev	Rev: 1
Page	Page: 1 of 1
Print	Print: 10/20/2016 10:20:16



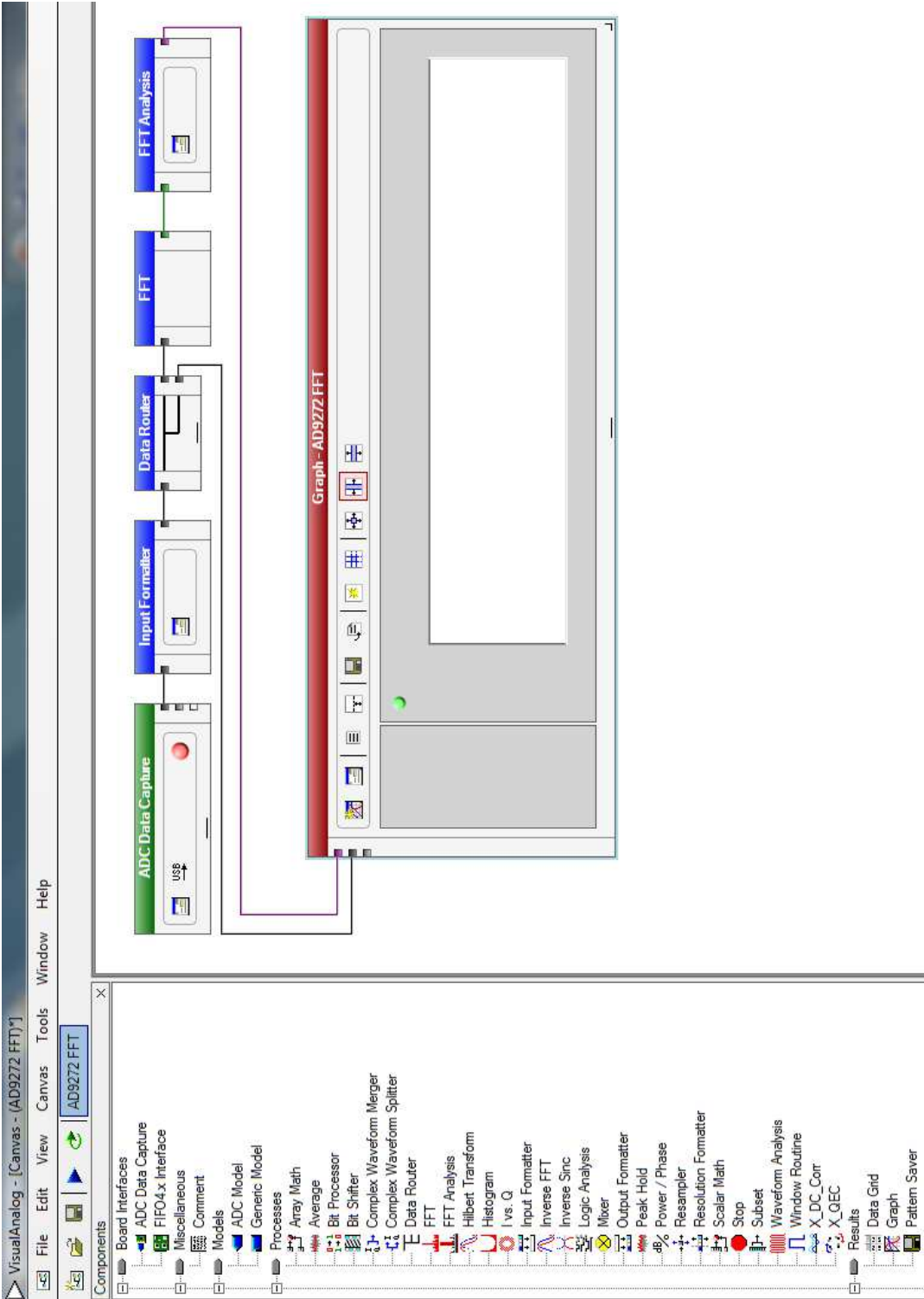


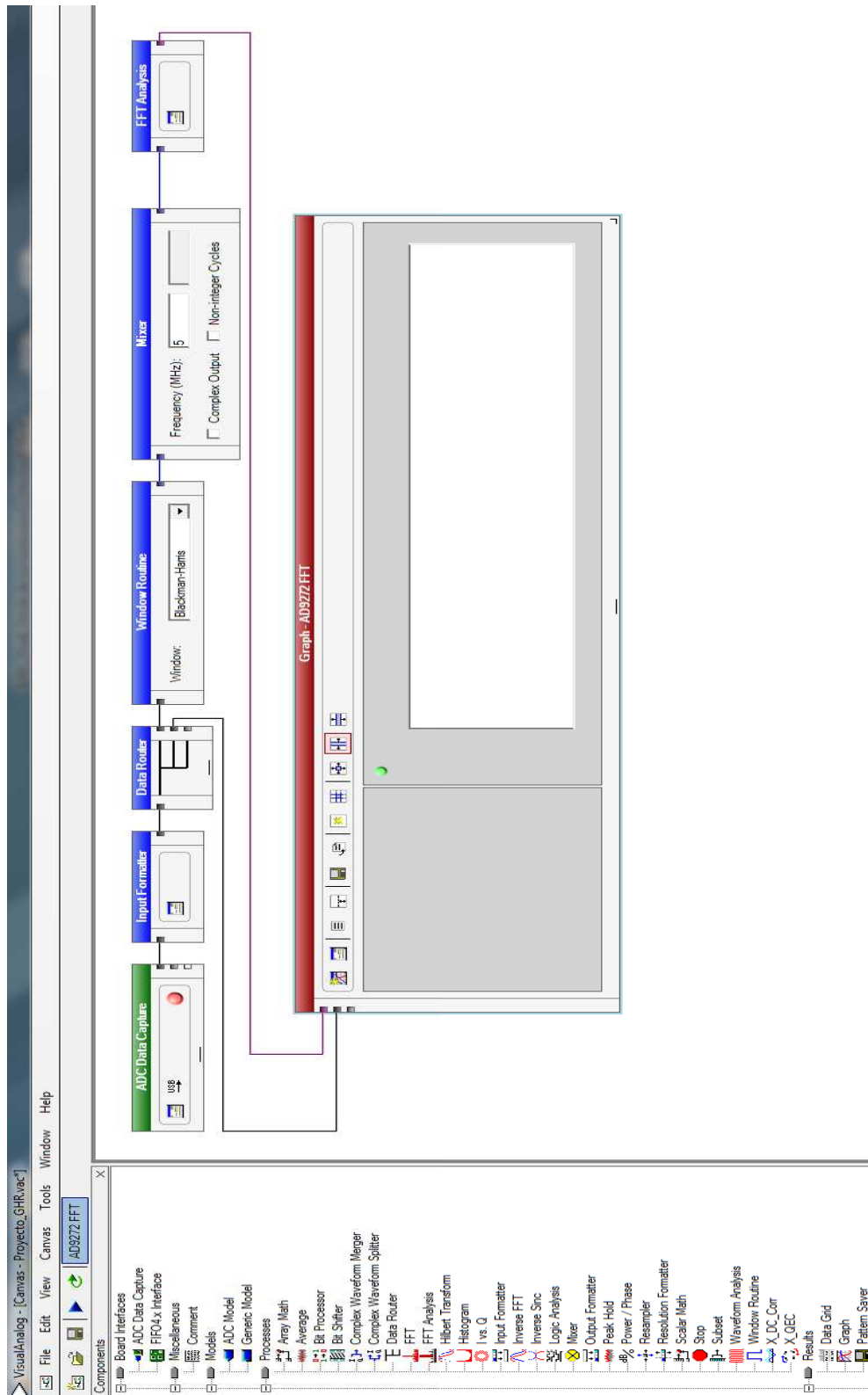


Capa bottom (arriba) y top para la generación del fotolito de la tarjeta multiplexora



Anexo 2.2: Vistas del instrumento virtual





Anexo 3: Catálogos

Anexo 3.1: AD9272



Octal LNA/VGA/AAF/ADC and Crosspoint Switch

AD9272

FEATURES

8 channels of LNA, VGA, AAF, and ADC
 Low noise preamplifier (LNA)
 Input-referred noise voltage = $0.75 \text{ nV}/\sqrt{\text{Hz}}$
 (gain = 21.3 dB) @ 5 MHz typical
 SPI-programmable gain = 15.6 dB/17.9 dB/21.3 dB
 Single-ended input; V_{IN} maximum = 733 mV p-p/
 550 mV p-p/367 mV p-p
 Dual-mode active input impedance matching
 Bandwidth (BW) > 100 MHz
 Full-scale (FS) output = 4.4 V p-p differential
 Variable gain amplifier (VGA)
 Attenuator range = -42 dB to 0 dB
 SPI-programmable PGA gain = 21 dB/24 dB/27 dB/30 dB
 Linear-in-dB gain control
 Antialiasing filter (AAF)
 Programmable 2nd-order low-pass filter (LPF) from
 8 MHz to 18 MHz
 Programmable high-pass filter (HPF)
 Analog-to-digital converter (ADC)
 12 bits at 10 MSPS to 80 MSPS
 SNR = 70 dB
 SFDR = 75 dB
 Serial LVDS (ANSI-644, IEEE 1596.3 reduced range link)
 Data and frame clock outputs
 Includes an 8×8 differential crosspoint switch to support
 continuous wave (CW) Doppler
 Low power, 195 mW per channel at 12 bits/40 MSPS (TGC)
 120 mW per channel in CW Doppler
 Flexible power-down modes
 Overload recovery in <10 ns
 Fast recovery from low power standby mode, <2 μs
 100-lead TQFP

APPLICATIONS

Medical imaging/ultrasound
 Automotive radar

GENERAL DESCRIPTION

The AD9272 is designed for low cost, low power, small size, and ease of use. It contains eight channels of a low noise preamplifier (LNA) with a variable gain amplifier (VGA), an antialiasing filter (AAF), and a 12-bit, 10 MSPS to 80 MSPS analog-to-digital converter (ADC).

Each channel features a variable gain range of 42 dB, a fully differential signal path, an active input preamplifier termination, a maximum gain of up to 52 dB, and an ADC with a conversion rate of up to 80 MSPS. The channel is optimized for dynamic performance and low power in applications where a small package size is critical.

FUNCTIONAL BLOCK DIAGRAM

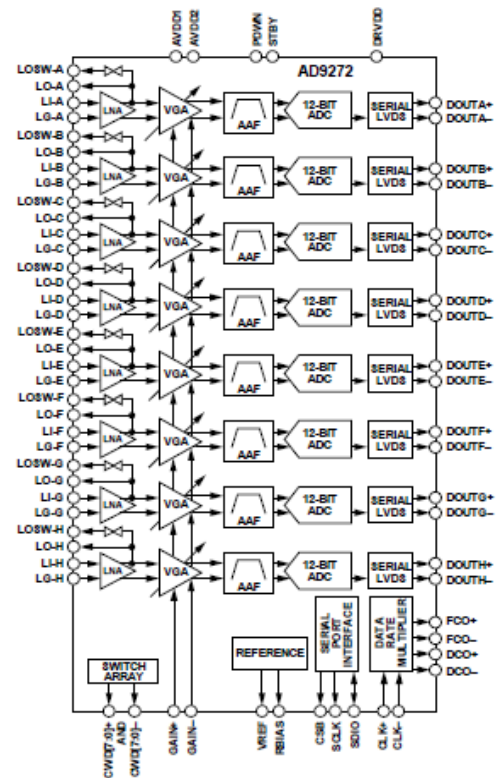


Figure 1.

The LNA has a single-ended-to-differential gain that is selectable through the SPI. The LNA input-referred noise voltage is typically $0.75 \text{ nV}/\sqrt{\text{Hz}}$ at a gain of 21.3 dB, and the combined input-referred noise voltage of the entire channel is $0.85 \text{ nV}/\sqrt{\text{Hz}}$ at maximum gain. Assuming a 15 MHz noise bandwidth (NBW) and a 21.3 dB LNA gain, the input SNR is about 92 dB. In CW Doppler mode, the LNA output drives a transconductance amp that is switched through an 8×8 differential crosspoint switch. The switch is programmable through the SPI.

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 www.analog.com
 Fax: 781.461.3113 ©2009 Analog Devices, Inc. All rights reserved.

AD9272**TABLE OF CONTENTS**

Features	1	Ultrasound	21
Applications.....	1	Channel Overview	22
General Description.....	1	Input Overdrive	25
Functional Block Diagram	1	CW Doppler Operation.....	25
Revision History	2	TGC Operation.....	27
Product Highlights	3	ADC	31
Specifications.....	4	Clock Input Considerations.....	31
AC Specifications.....	4	Serial Port Interface (SPI).....	38
Digital Specifications	8	Hardware Interface.....	38
Switching Specifications	9	Memory Map	40
Absolute Maximum Ratings.....	11	Reading the Memory Map Table.....	40
Thermal Impedance	11	Reserved Locations	40
ESD Caution.....	11	Default Values	40
Pin Configuration and Function Descriptions.....	12	Logic Levels	40
Typical Performance Characteristics	15	Outline Dimensions	44
Equivalent Circuits	19	Ordering Guide	44
Theory of Operation	21		

REVISION HISTORY**7/09—Rev. B to Rev. C**

Changes to Input Overload Protection Section and Figure 43	25
Changes to Digital Outputs and Timing Section and Changes to Figure 63	33
Changes to Hardware Interface Section	39

6/09—Rev. A to Rev. B

Changes to Product Highlights Section.....	3
Changes to Table 1.....	4
Changes to Absolute Maximum Ratings Table.....	11
Changes to Figure 22	17
Changes to Figure 33 and Figure 34.....	20
Changes to Low Noise Amplifier (LNA) Section	22
Changes to Active Impedance Matching Section.....	23
Changes to Figure 39	23
Changes to LNA Noise Section.....	24
Changes to Figure 47	28
Changes to Figure 48 and Figure 49.....	29
Changes to CSB Pin Section.....	36
Changes to Reading the Memory Map Table Section.....	40

4/09—Revision A: Initial Version

AD9272

SPECIFICATIONS

AC SPECIFICATIONS

AVDD1 = 1.8 V, AVDD2 = 3.0 V, DRVDD = 1.8 V, 1.0 V internal ADC reference, $f_{IN} = 5$ MHz, $R_S = 50\ \Omega$, LNA gain = 21.3 dB, LNA bias = high, PGA gain = 27 dB, GAIN- = 0.8 V, AAF LPF cutoff = $f_{SAMPLE}/4.5$, HPF = LPF cutoff/20.7 (default), full temperature, ANSI-644 LVDS mode, unless otherwise noted.

Table 1.

Parameter ¹	Conditions	AD9272-40			AD9272-65			AD9272-80			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
LNA CHARACTERISTICS											
Gain	Single-ended input to differential output	15.6/17.9/21.3			15.6/17.9/21.3			15.6/17.9/21.3			dB
	Single-ended input to single-ended output	9.6/11.9/15.3			9.6/11.9/15.3			9.6/11.9/15.3			dB
Input Voltage Range	LNA gain = 15.6 dB/ 17.9 dB/ 21.3 dB, LNA output limited to 4.4 V p-p differential output	733/550/367			733/550/367			733/550/367			mV p-p SE ²
Input Common Mode		0.9			0.9			0.9			V
Input Resistance	$R_{IN} = 250\ \Omega$	50			50			50			Ω
	$R_{IN} = 500\ \Omega$	100			100			100			Ω
	$R_{IN} = \infty$	15			15			15			k Ω
Input Capacitance	LI-x	22			22			22			pF
-3 dB Bandwidth		100			100			100			MHz
Input-Referred Noise Voltage	LNA gain = 15.6 dB/ 17.9 dB/ 21.3 dB, $R_S = 0\ \Omega$, $R_{IN} = \infty$	0.98/0.86/0.75			0.98/0.86/0.75			0.98/0.86/0.75			nV/ $\sqrt{\text{Hz}}$
Input Noise Current	$R_{IN} = \infty$	1			1			1			pA/ $\sqrt{\text{Hz}}$
1 dB Input Compression Point	LNA gain = 15.6 dB/ 17.9 dB/ 21.3 dB, GAIN+ = 0 V	1.0/0.8/0.5			1.0/0.8/0.5			1.0/0.8/0.5			mV p-p
Noise Figure	LNA gain = 15.6 dB/ 17.9 dB/ 21.3 dB										
Active Termination Matched	$R_S = 50\ \Omega$, $R_{IN} = 200\ \Omega$ / 250 Ω /350 Ω	4.8/4.1/3.2			4.8/4.1/3.2			4.8/4.0/3.2			dB
Unterminated	$R_{IN} = \infty$	3.4/2.8/2.3			3.4/2.8/2.3			3.4/2.8/2.3			dB
FULL-CHANNEL (TGQ) CHARACTERISTICS											
AAF Low-Pass Filter Cutoff -In Range	-3 dB, programmable	8 to 18			8 to 18			8 to 18			MHz
AAF Low-Pass Filter Cutoff - Out of Range ³	-3 dB, programmable, AAF Bandwidth Tolerance	5 to 8 and 18 to 35			5 to 8 and 18 to 35			5 to 8 and 18 to 35			MHz
AAF Bandwidth Tolerance -In Range		± 10			± 10			± 10			%

AD9272

Parameter ¹	Conditions	AD9272-40			AD9272-65			AD9272-80			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Group Delay Variation	f = 1 MHz to 18 MHz, GAIN+ = 0 V to 1.6 V		±2			±2			±2		ns
Input-Referred Noise Voltage	LNA gain = 15.6 dB/ 17.9 dB/ 21.3 dB, R _{FB} = ∞		1.26/1.04/0.85			1.26/1.04/0.85			1.26/1.04/0.85		nV/√Hz
Noise Figure	LNA gain = 15.6 dB/ 17.9 dB/ 21.3 dB										
Active Termination Matched	R ₀ = 50 Ω, R _{FB} = 200 Ω/ 250 Ω/350 Ω		8.0/6.6/4.7			7.7/6.2/4.5			7.6/6.1/4.4		dB
Unterminated	R _{FB} = ∞		4.7/3.7/2.8			4.6/3.6/2.8			4.5/3.6/2.7		dB
Correlated Noise Ratio	No signal, correlated/uncorrelated		–30			–30			–30		dB
Output Offset		–35		+35	–35		+35	–35		+35	LSB
Signal-to-Noise Ratio (SNR)	f _{IN} = 5 MHz at –10 dBFS, GAIN+ = 0 V		65			64			63		dBFS
	f _{IN} = 5 MHz at –1 dBFS, GAIN+ = 1.6 V		57			56			54.5		dBFS
Harmonic Distortion Second Harmonic	f _{IN} = 5 MHz at –10 dBFS, GAIN+ = 0 V		–62			–58			–55		dBc
	f _{IN} = 5 MHz at –1 dBFS, GAIN+ = 1.6 V		–60			–61			–58		dBc
Third Harmonic	f _{IN} = 5 MHz at –10 dBFS, GAIN+ = 0 V		–71			–60			–60		dBc
	f _{IN} = 5 MHz at –1 dBFS, GAIN+ = 1.6 V		–57			–55			–56		dBc
Two-Tone IMD3 (2 × F1 – F2) Distortion	f _{IN1} = 5.0 MHz at –1 dBFS, f _{IN2} = 5.01 MHz at –21 dBFS, GAIN+ = 1.6 V, LNA gain = 21.3 dB		–75			–75			–75		dBc
Channel-to-Channel Crosstalk	f _{IN1} = 5.0 MHz at –1 dBFS		–70			–70			–70		dB
	Overrange condition ⁴		–65			–65			–65		dB
Channel-to-Channel Delay Variation	Full TGC path, f _{IN} = 5 MHz, GAIN+ = 0 V to 1.6 V		0.3			0.3			0.3		Degrees
PGA GAIN	Differential input to differential output		21/24/27/30			21/24/27/30			21/24/27/30		dB

AD9272

Parameter ¹	Conditions	AD9272-40			AD9272-65			AD9272-80			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
GAIN ACCURACY	25°C										
	Gain Law Conformance Error		1.5			1.5			1.5		dB
	0 V < GAIN+ < 0.16 V										
	0.16 V < GAIN+ < 1.44 V	-1.5		+1.5	-1.5		+1.5	-1.6		+1.6	dB
	1.44 V < GAIN+ < 1.6 V		-2.5			-2.5			-2.5		dB
Linear Gain Error	GAIN+ = 0.8 V, normalized for ideal AAF loss	-1.5		+1.5	-1.5		+1.5	-1.6		+1.6	dB
Channel-to-Channel Matching	0.16 V < GAIN+ < 1.44 V		0.1			0.1			0.1		dB
GAIN CONTROL INTERFACE											
Normal Operating Range		0		1.6	0		1.6	0		1.6	V
Gain Range	GAIN+ = 0 V to 1.6 V		42			42			42		dB
Scale Factor			28.5			28.5			28.5		dB/V
Response Time	42 dB change		750			750			750		ns
Gain+ Impedance	Single-ended		10			10			10		MΩ
Gain- Impedance	Single-ended		70			70			70		kΩ
CW DOPPLER MODE											
Transconductance (differential)	LNA gain = 15.6 dB/17.9 dB/21.3 dB		5.4/7.3/10.9			5.4/7.3/10.9			5.4/7.3/10.9		mA/V
Output Level Range (differential)	CW Doppler output pins	1.5		3.6	1.5		3.6	1.5		3.6	V
Input-Referred Noise Voltage	LNA gain = 15.6 dB/17.9 dB/21.3 dB, $R_{is} = 0 \Omega$, $R_{os} = \infty$, $R_L = 675 \Omega$		2.35/1.82/1.31			2.35/1.82/1.31			2.35/1.82/1.31		nV/√Hz
Input-Referred Dynamic Range	LNA gain = 15.6 dB/17.9 dB/21.3 dB, $R_{is} = 0 \Omega$, $R_{os} = \infty$		161/161/160			161/161/160			161/161/160		dBFS/√Hz
Two-Tone IMD3 (2 × F1 – F2) Distortion	$f_{m1} = 5.0$ MHz at -1 dBFS (FS at LNA input), $f_{m2} = 5.01$ MHz at -21 dBFS (FS at LNA input), LNA gain = 21.3 dB		-70			-70			-70		dBc
Output DC Bias (single-ended)	Per channel		2.4			2.4			2.4		mA
Maximum Output Swing (single-ended)	Per channel		±2			±2			±2		mA p-p
POWER SUPPLY											
AVDD1		1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
AVDD2		2.7	3.0	3.6	2.7	3.0	3.6	2.7	3.0	3.6	V
DRVDD		1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V

AD9272

Parameter ¹	Conditions	AD9272-40			AD9272-65			AD9272-80			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
I _{AVDD1}	Full-channel mode		210			280			335		mA
	CW Doppler mode with four channels enabled		32			32			32		mA
I _{AVDD2}	Full-channel mode		365			365			365		mA
	CW Doppler mode with four channels enabled		140			140			140		mA
I _{QWDD}			49			51			52		mA
Total Power Dissipation	Includes output drivers, full-channel mode, no signal		1560	1713		1690	1860		1780	1975	mW
	CW Doppler mode with four channels enabled		475			475			475		mW
Power-Down Dissipation				5			5			5	mW
Standby Power Dissipation				175			200			210	mW
Power Supply Rejection Ratio (PSRR)			1.6			1.6			1.6		mV/V
ADC RESOLUTION			12			12			12		Bits
ADC REFERENCE											
Output Voltage Error	VREF = 1 V			±20			±20			±20	mV
Load Regulation	At 1.0 mA, VREF = 1 V		2			2			2		mV
Input Resistance			6			6			6		kΩ

¹ See the AN-835 Application Note, *Understanding High Speed ADC Testing and Evaluation*, for a complete set of definitions and information about how these tests were completed.

² SE = single-ended.

³ AAF settings < 5 MHz are out of range and not supported.

⁴ The overrange condition is specified as being 6 dB more than the full-scale input range.

AD9272

DIGITAL SPECIFICATIONS

AVDD1 = 1.8 V, AVDD2 = 3.0 V, DRVDD = 1.8 V, 1.0 V internal ADC reference, $f_{IN} = 5$ MHz, full temperature, unless otherwise noted.

Table 2.

Parameter ¹	Temperature	Min	Typ	Max	Unit
CLOCK INPUTS (CLK+, CLK-)					
Logic Compliance			CMOS/LVDS/LVPECL		
Differential Input Voltage ²	Full	250			mV p-p
Input Common-Mode Voltage	Full		1.2		V
Input Resistance (Differential)	25°C		20		kΩ
Input Capacitance	25°C		1.5		pF
LOGIC INPUTS (PDWN, STBY, SCLK)					
Logic 1 Voltage	Full	1.2		3.6	V
Logic 0 Voltage	Full			0.3	V
Input Resistance	25°C		30		kΩ
Input Capacitance	25°C		0.5		pF
LOGIC INPUT (CSB)					
Logic 1 Voltage	Full	1.2		3.6	V
Logic 0 Voltage	Full			0.3	V
Input Resistance	25°C		70		kΩ
Input Capacitance	25°C		0.5		pF
LOGIC INPUT (SDIO)					
Logic 1 Voltage	Full	1.2		DRVDD + 0.3	V
Logic 0 Voltage	Full	0		0.3	V
Input Resistance	25°C		30		kΩ
Input Capacitance	25°C		2		pF
LOGIC OUTPUT (SDIO) ³					
Logic 1 Voltage ($I_{OH} = 800 \mu A$)	Full		1.79		V
Logic 0 Voltage ($I_{OL} = 50 \mu A$)	Full			0.05	V
DIGITAL OUTPUTS (DOUTx+, DOUTx-), IN ANSI-644 MODE ¹					
Logic Compliance			LVDS		
Differential Output Voltage (V_{OD})	Full	247		454	mV
Output Offset Voltage (V_{OS})	Full	1.125		1.375	V
Output Coding (Default)			Offset binary		
DIGITAL OUTPUTS (DOUTx+, DOUTx-), WITH LOW POWER, REDUCED SIGNAL OPTION ¹					
Logic Compliance			LVDS		
Differential Output Voltage (V_{OD})	Full	150		250	mV
Output Offset Voltage (V_{OS})	Full	1.10		1.30	V
Output Coding (Default)			Offset binary		

¹ See the AN-835 Application Note, *Understanding High Speed ADC Testing and Evaluation*, for a complete set of definitions and information about how these tests were completed.

² Specified for LVDS and LVPECL only.

³ Specified for 13 SDIO pins sharing the same connection.

SWITCHING SPECIFICATIONS

AVDD1 = 1.8 V, AVDD2 = 3.0 V, DRVDD = 1.8 V, 1.0 V internal ADC reference, f_{IN} = 5 MHz, full temperature, unless otherwise noted.

Table 3.

Parameter ¹	Temp	Min	Typ	Max	Unit
CLOCK²					
Clock Rate	Full	10		80	MSPS
Clock Pulse Width High (t_{BH})	Full		6.25		ns
Clock Pulse Width Low (t_{BL})	Full		6.25		ns
OUTPUT PARAMETERS^{2,3}					
Propagation Delay (t_{PD})	Full	$(t_{SAMPLE}/2) + 1.5$	$(t_{SAMPLE}/2) + 2.3$	$(t_{SAMPLE}/2) + 3.1$	ns
Rise Time (t_R) (20% to 80%)	Full		300		ps
Fall Time (t_F) (20% to 80%)	Full		300		ps
FCO± Propagation Delay (t_{FCO})	Full	$(t_{SAMPLE}/2) + 1.5$	$(t_{SAMPLE}/2) + 2.3$	$(t_{SAMPLE}/2) + 3.1$	ns
DCO± Propagation Delay (t_{CFD}) ⁴	Full		$t_{FCO} + (t_{SAMPLE}/24)$		ns
DCO± to Data Delay (t_{DATA}) ⁴	Full	$(t_{SAMPLE}/24) - 300$	$(t_{SAMPLE}/24)$	$(t_{SAMPLE}/24) + 300$	ps
DCO± to FCO± Delay (t_{FRAME}) ⁴	Full	$(t_{SAMPLE}/24) - 300$	$(t_{SAMPLE}/24)$	$(t_{SAMPLE}/24) + 300$	ps
Data-to-Data Skew ($t_{DATA-MAX} - t_{DATA-MIN}$)	Full		±100	±350	ps
Wake-Up Time (Standby), GAIN+ = 0.8 V	25°C		2		μs
Wake-Up Time (Power-Down)	25°C		1		ms
Pipeline Latency	Full		8		Clock cycles
APERTURE					
Aperture Uncertainty (Jitter)	25°C		<1		ps rms

¹ See the AN-835 Application Note, *Understanding High Speed ADC Testing and Evaluation*, for a complete set of definitions and information about how these tests were completed.

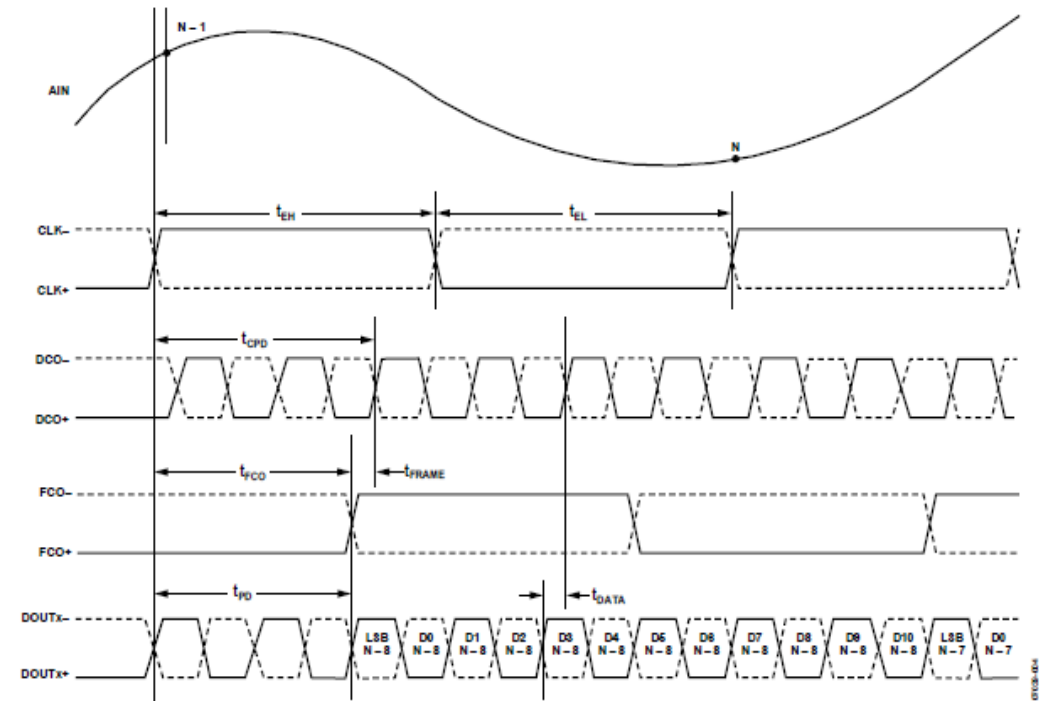
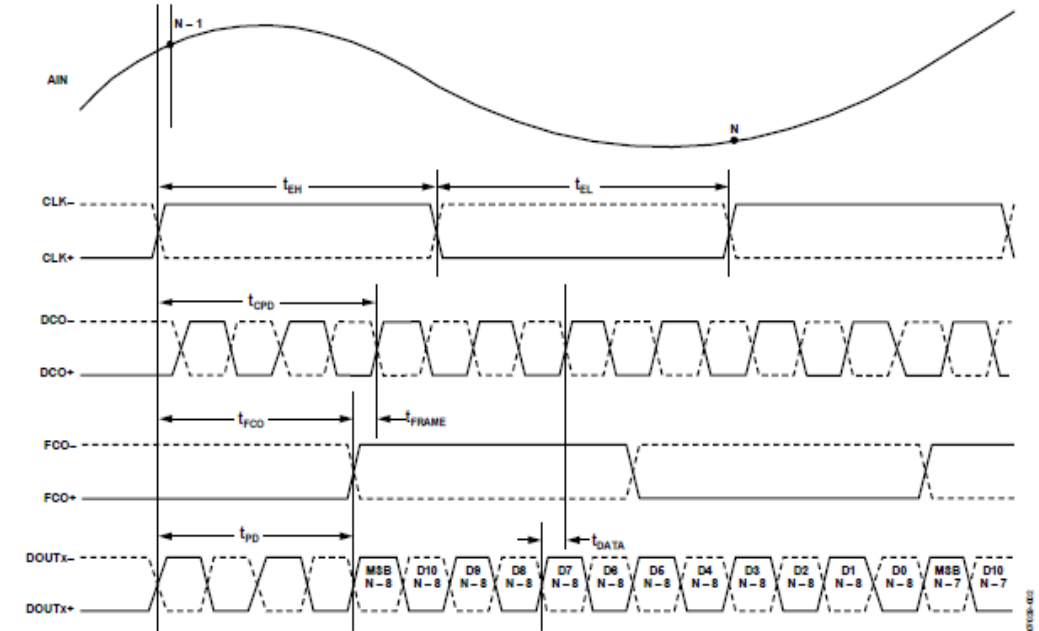
² Can be adjusted via the SPI.

³ Measurements were made using a part soldered to FR-4 material.

⁴ $t_{SAMPLE}/24$ is based on the number of bits divided by 2 because the delays are based on half duty cycles.

AD9272

ADC Timing Diagrams



Rev. C | Page 10 of 44

ABSOLUTE MAXIMUM RATINGS

Table 4.

Parameter	With Respect To	Rating
Electrical		
AVDD1	GND	−0.3 V to +2.0 V
AVDD2	GND	−0.3 V to +3.9 V
DRVDD	GND	−0.3 V to +2.0 V
GND	GND	−0.3 V to +0.3 V
AVDD2	AVDD1	−2.0 V to +3.9 V
AVDD1	DRVDD	−2.0 V to +2.0 V
AVDD2	DRVDD	−2.0 V to +3.9 V
Digital Outputs (DOUTx+, DOUTx−, DCO+, DCO−, FCO+, FCO−)	GND	−0.3 V to +2.0 V
CLK+, CLK−, GAIN+, GAIN− LI-x, LO-x, LOSW-x CWDx−, CWDx+	GND	−0.3 V to +3.9 V
	LG-x	−0.3 V to +2.0 V
	GND	−0.3 V to +3.9 V
	GND	−0.3 V to +2.0 V
PDWN, STBY, SCLK, CSB RBIAS, VREF, SDIO	GND	−0.3 V to +3.9 V
	GND	−0.3 V to +2.0 V
Environmental		
Operating Temperature Range (Ambient)		−40°C to +85°C
Storage Temperature Range (Ambient)		−65°C to +150°C
Maximum Junction Temperature		150°C
Lead Temperature (Soldering, 10 sec)		300°C

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

THERMAL IMPEDANCE

Table 5.

Air Flow Velocity (m/sec)	θ_{JA}^1	θ_{JB}	θ_{JC}	Unit
0.0	20.3	N/A	N/A	°C/W
1.0	14.4	7.6	4.7	°C/W
2.5	12.9	N/A	N/A	°C/W

¹ θ_{JA} is for a 4-layer PCB with a solid ground plane (simulated). The exposed pad is soldered to the PCB.

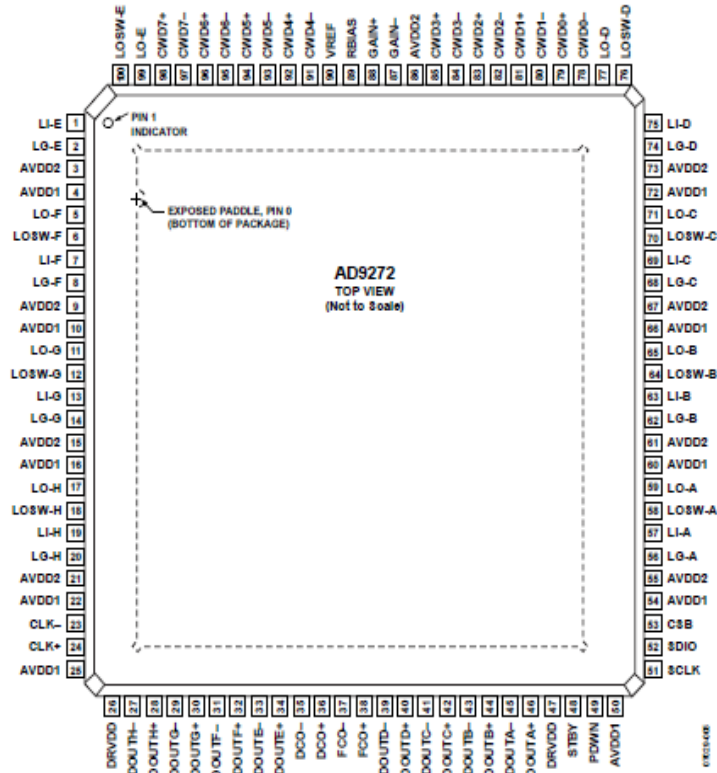
ESD CAUTION



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

AD9272

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS



NOTES
1. THE EXPOSED PAD SHOULD BE TIED TO A QUIET ANALOG GROUND.

Figure 4. TQFP Pin Configuration

Table 6. Pin Function Descriptions

Pin No.	Name	Description
0	GND	Ground (exposed paddle should be tied to a quiet analog ground)
4, 10, 16, 22, 25, 50, 54, 60, 66, 72	AVDD1	1.8 V Analog Supply
3, 9, 15, 21, 55, 61, 67, 73, 86	AVDD2	3.0 V Analog Supply
26, 47	DRVDD	1.8 V Digital Output Driver Supply
1	LI-E	LNA Analog Input for Channel E
2	LG-E	LNA Ground for Channel E
5	LO-F	LNA Analog Inverted Output for Channel F
6	LOSW-F	LNA Analog Switched Output for Channel F
7	LI-F	LNA Analog Input for Channel F
8	LG-F	LNA Ground for Channel F
11	LO-G	LNA Analog Inverted Output for Channel G
12	LOSW-G	LNA Analog Switched Output for Channel G
13	LI-G	LNA Analog Input for Channel G
14	LG-G	LNA Ground for Channel G
17	LO-H	LNA Analog Inverted Output for Channel H
18	LOSW-H	LNA Analog Switched Output for Channel H
19	LI-H	LNA Analog Input for Channel H

AD9272

Pin No.	Name	Description
20	LG-H	LNA Ground for Channel H
23	CLK-	Clock Input Complement
24	CLK+	Clock Input True
27	DOUTH-	ADC H Digital Output Complement
28	DOUTH+	ADC H Digital Output True
29	DOUTG-	ADC G Digital Output Complement
30	DOUTG+	ADC G Digital Output True
31	DOUTF-	ADC F Digital Output Complement
32	DOUTF+	ADC F Digital Output True
33	DOUTE-	ADC E Digital Output Complement
34	DOUTE+	ADC E Digital Output True
35	DCO-	Digital Clock Output Complement
36	DCO+	Digital Clock Output True
37	FCO-	Frame Clock Digital Output Complement
38	FCO+	Frame Clock Digital Output True
39	DOUTD-	ADC D Digital Output Complement
40	DOUTD+	ADC D Digital Output True
41	DOUTC-	ADC C Digital Output Complement
42	DOUTC+	ADC C Digital Output True
43	DOUTB-	ADC B Digital Output Complement
44	DOUTB+	ADC B Digital Output True
45	DOUTA-	ADC A Digital Output Complement
46	DOUTA+	ADC A Digital Output True
48	STBY	Standby Power-Down
49	PDWN	Full Power-Down
51	SCLK	Serial Clock
52	SDIO	Serial Data Input/Output
53	CSB	Chip Select Bar
56	LG-A	LNA Ground for Channel A
57	LI-A	LNA Analog Input for Channel A
58	LOSW-A	LNA Analog Switched Output for Channel A
59	LO-A	LNA Analog Inverted Output for Channel A
62	LG-B	LNA Ground for Channel B
63	LI-B	LNA Analog Input for Channel B
64	LOSW-B	LNA Analog Switched Output for Channel B
65	LO-B	LNA Analog Inverted Output for Channel B
68	LG-C	LNA Ground for Channel C
69	LI-C	LNA Analog Input for Channel C
70	LOSW-C	LNA Analog Switched Output for Channel C
71	LO-C	LNA Analog Inverted Output for Channel C
74	LG-D	LNA Ground for Channel D
75	LI-D	LNA Analog Input for Channel D
76	LOSW-D	LNA Analog Switched Output for Channel D
77	LO-D	LNA Analog Inverted Output for Channel D
78	CWD0-	CW Doppler Output Complement for Channel 0
79	CWD0+	CW Doppler Output True for Channel 0
80	CWD1-	CW Doppler Output Complement for Channel 1
81	CWD1+	CW Doppler Output True for Channel 1
82	CWD2-	CW Doppler Output Complement for Channel 2
83	CWD2+	CW Doppler Output True for Channel 2
84	CWD3-	CW Doppler Output Complement for Channel 3
85	CWD3+	CW Doppler Output True for Channel 3
87	GAIN-	Gain Control Voltage Input Complement

Rev. C | Page 13 of 44

AD9272

Pin No.	Name	Description
88	GAIN+	Gain Control Voltage Input True
89	RBIAS	External Resistor to Set the Internal ADC Core Bias Current
90	VREF	Voltage Reference Input/Output
91	CWD4–	CW Doppler Output Complement for Channel 4
92	CWD4+	CW Doppler Output True for Channel 4
93	CWD5–	CW Doppler Output Complement for Channel 5
94	CWD5+	CW Doppler Output True for Channel 5
95	CWD6–	CW Doppler Output Complement for Channel 6
96	CWD6+	CW Doppler Output True for Channel 6
97	CWD7–	CW Doppler Output Complement for Channel 7
98	CWD7+	CW Doppler Output True for Channel 7
99	LO-E	LNA Analog Inverted Output for Channel E
100	LOSW-E	LNA Analog Switched Output for Channel E

AD9272

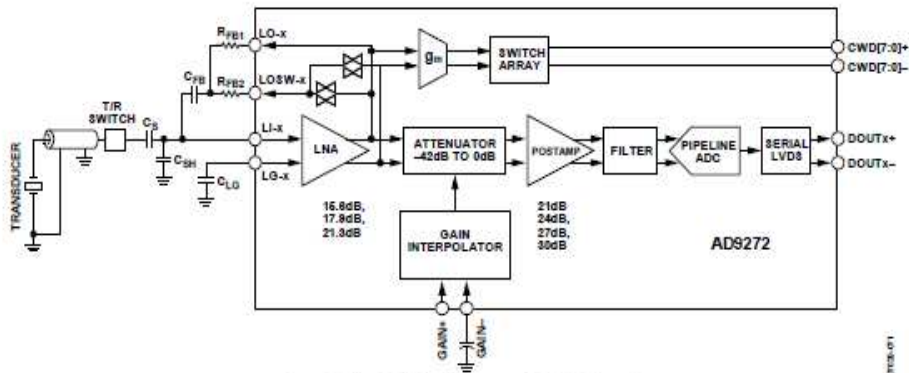


Figure 37. Simplified Block Diagram of a Single Channel

CHANNEL OVERVIEW

Each channel contains both a TGC signal path and a CW Doppler signal path. Common to both signal paths, the LNA provides user-adjustable input impedance termination. The CW Doppler path includes a transconductance amplifier and a crosspoint switch. The TGC path includes a differential X-AMP[®] VGA, an antialiasing filter, and an ADC. Figure 37 shows a simplified block diagram with external components.

The signal path is fully differential throughout to maximize signal swing and reduce even-order distortion; however, the LNA is designed to be driven from a single-ended signal source.

Low Noise Amplifier (LNA)

Good noise performance relies on a proprietary ultralow noise LNA at the beginning of the signal chain, which minimizes the noise contribution in the following VGA. Active impedance control optimizes noise performance for applications that benefit from input impedance matching.

A simplified schematic of the LNA is shown in Figure 38. LI-x is capacitively coupled to the source. An on-chip bias generator establishes dc input bias voltages of around 0.9 V and centers the output common-mode levels at 1.5 V ($AVDD2$ divided by 2). A capacitor, C_{LO} , of the same value as the input coupling capacitor, C_S , is connected from the LG-x pin to ground.

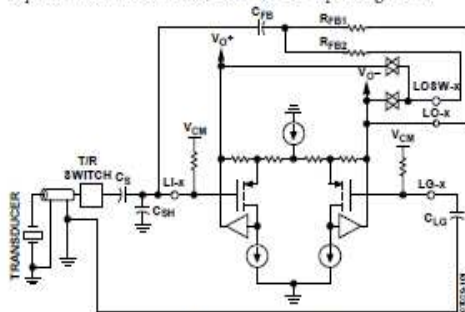


Figure 38. Simplified LNA Schematic

The LNA supports differential output voltages as high as 4.4 V p-p with positive and negative excursions of ± 1.1 V from a common-mode voltage of 1.5 V. The LNA differential gain sets the maximum input signal before saturation. One of three gains is set through the SPI. The corresponding full-scale input for the gain settings of 6, 8, and 12 is 733 mV p-p, 550 mV p-p, and 367 mV p-p, respectively. Overload protection ensures quick recovery time from large input voltages. Because the inputs are capacitively coupled to a bias voltage near midsupply, very large inputs can be handled without interacting with the ESD protection.

Low value feedback resistors and the current-driving capability of the output stage allow the LNA to achieve a low input-referred noise voltage of 0.75 nV/ $\sqrt{\text{Hz}}$ (at a gain of 21.3 dB). This is achieved with a current consumption of only 27 mA per channel (80 mW). On-chip resistor matching results in precise single-ended gains, which are critical for accurate impedance control. The use of a fully differential topology and negative feedback minimizes distortion. Low second-order harmonic distortion is particularly important in second harmonic ultrasound imaging applications. Differential signaling enables smaller swings at each output, further reducing third-order distortion.

Recommendation

It is highly recommended that the LG-x pins form a Kelvin type connection to the input or probe connection ground. Simply connecting the LG pin to ground near the device can allow differences in potential to be amplified through the LNA. This generally shows up as a dc offset voltage that can vary from channel to channel and part given the application and layout of the PCB (see Figure 38).

Active Impedance Matching

The LNA consists of a single-ended voltage gain amplifier with differential outputs, and the negative output is externally available. For example, with a fixed gain of $8\times$ (17.9 dB), an active input termination is synthesized by connecting a feedback resistor between the negative output pin, LO-x, and the positive input pin, LI-x. This is a well known technique used for interfacing multiple probe impedances to a single system. The input resistance is shown in Equation 1.

$$R_{IN} = \frac{R_{FB}}{(1 + \frac{A}{2})} \quad (1)$$

where $A/2$ is the single-ended gain or the gain from the LI-x inputs to the LO-x outputs, and R_{FB} is the resulting impedance of the R_{FB1} and R_{FB2} combination (see Figure 38).

Because the amplifier has a gain of $8\times$ from its input to its differential output, it is important to note that the gain $A/2$ is the gain from Pin LI-x to Pin LO-x, and it is 6 dB less than the gain of the amplifier or 12.1 dB ($4\times$). The input resistance is reduced by an internal bias resistor of 15 k Ω in parallel with the source resistance connected to Pin LI-x, with Pin LG-x ac grounded. Equation 2 can be used to calculate the needed R_{FB} for a desired R_{IN} , even for higher values of R_{IN} .

$$R_{IN} = \frac{R_{FB}}{(1 + 3)} \parallel 15 \text{ k}\Omega \quad (2)$$

For example, to set R_{IN} to 200 Ω , the value of R_{FB} must be 1000 Ω . If the simplified equation (Equation 2) is used to calculate R_{IN} , the value is 188 Ω , resulting in a gain error less than 0.6 dB. Some factors, such as the presence of a dynamic source resistance, might influence the absolute gain accuracy more significantly. At higher frequencies, the input capacitance of the LNA must be considered. The user must determine the level of matching accuracy and adjust R_{FB} accordingly.

The bandwidth (BW) of the LNA is greater than 100 MHz. Ultimately, the BW of the LNA limits the accuracy of the synthesized R_{IN} . For $R_{IN} = R_s$ up to about 200 Ω , the best match is between 100 kHz and 10 MHz, where the lower frequency limit is determined by the size of the ac-coupling capacitors, and the upper limit is determined by the LNA BW. Furthermore, the input capacitance and R_s limit the BW at higher frequencies. Figure 39 shows R_{IN} vs. frequency for various values of R_{FB} .

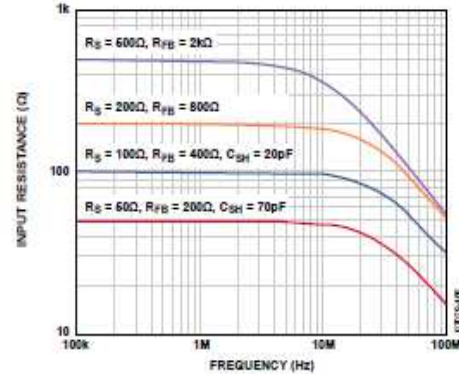


Figure 39. R_{IN} vs. Frequency for Various Values of R_{FB}
(Effects of R_s and C_{SH} Are Also Shown)

Note that at the lowest value (50 Ω), R_{IN} peaks at frequencies greater than 10 MHz. This is due to the BW roll-off of the LNA, as mentioned previously.

However, as can be seen for larger R_{IN} values, parasitic capacitance starts rolling off the signal BW before the LNA can produce peaking. C_{SH} further degrades the match; therefore, C_{SH} should not be used for values of R_{IN} that are greater than 100 Ω . Table 7 lists the recommended values for R_{FB} and C_{SH} in terms of R_{IN} .

C_{FB} is needed in series with R_{FB} because the dc levels at Pin LO-x and Pin LI-x are unequal.

Table 7. Active Termination External Component Values

LNA Gain (dB)	R_{IN} (Ω)	R_{FB} (Ω)	Minimum C_{SH} (pF)	BW (MHz)
15.6	50	200	90	57
17.9	50	250	70	69
21.3	50	350	50	88
15.6	100	400	30	57
17.9	100	500	20	69
21.3	100	700	10	88
15.6	200	800	N/A	72
17.9	200	1000	N/A	72
21.3	200	1400	N/A	72

Crosspoint Switch

Each LNA is followed by a transconductance amp for voltage-to-current conversion. Currents can be routed to one of eight pairs of differential outputs or to 16 single-ended outputs for summing. Each CWD output pin sinks 2.4 mA dc current, and the signal has a full-scale current of ± 2 mA for each channel selected by the crosspoint switch. For example, if four channels are summed on one CWD output, the output sinks 9.6 mA dc and has a full-scale current output of ± 8 mA.

The maximum number of channels combined must be considered when setting the load impedance for current-to-voltage conversion to ensure that the full-scale swing and common-mode voltage are within the operating limits of the AD9272. When interfacing to the AD8339, a common-mode voltage of 2.5 V and a full-scale swing of 2.8 V p-p are desired. This can be accomplished by connecting an inductor between each CWD output and a 2.5 V supply and then connecting either a single-ended or differential load resistance to the CWD \pm outputs. The value of resistance should be calculated based on the maximum number of channels that can be combined.

CWD \pm outputs are required under full-scale swing to be greater than 1.5 V and less than AVDD2 (3.0 V supply).

TGC OPERATION

The TGC signal path is fully differential throughout to maximize signal swing and reduce even-order distortion; however, the LNAs are designed to be driven from a single-ended signal source. Gain values are referenced from the single-ended LNA input to the differential ADC input. A simple exercise in understanding the maximum and minimum gain requirements is shown in Figure 46.

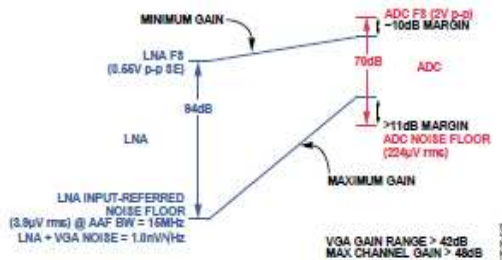


Figure 46. Gain Requirements of TGC Operation for a 12-Bit, 40 MSPS ADC

The maximum gain required is determined by

$$(ADC \text{ Noise Floor}/VGA \text{ Input Noise Floor}) + \text{Margin} = 20 \log(224/3.9) + 11 \text{ dB} = 46 \text{ dB}$$

The minimum gain required is determined by

$$(ADC \text{ Input FS}/VGA \text{ Input FS}) + \text{Margin} = 20 \log(2/0.55) - 10 \text{ dB} = 3 \text{ dB}$$

Therefore, 42 dB of gain range for a 12-bit, 40 MSPS ADC with 15 MHz of bandwidth should suffice in achieving the dynamic range required for most ultrasound systems today.

The system gain is distributed as listed in Table 8.

Table 8. Channel Gain Distribution

Section	Nominal Gain (dB)
LNA	15.6/17.9/21.3
Attenuator	0 to -42
VGA Amp	21/24/27/30
Filter	0
ADC	0

The linear-in-dB gain (law conformance) range of the TGC path is 42 dB. The slope of the gain control interface is 28 dB/V, and the gain control range is -0.8 V to +0.8 V. Equation 3 is the expression for the differential voltage V_{GAIN} , and Equation 4 is the expression for the channel gain.

$$V_{GAIN} (V) = GAIN(+) - GAIN(-) \quad (3)$$

$$Gain (dB) = 28.5 \frac{dB}{V} V_{GAIN} + ICPT \quad (4)$$

where $ICPT$ is the intercept point of the TGC gain.

In its default condition, the LNA has a gain of 21.3 dB (12 \times), and the VGA postamp gain is 24 dB if the voltage on the GAIN+ pin is 0 V and GAIN- is 0.8 V (42 dB attenuation). This gives rise to a total gain (or $ICPT$) of 3.6 dB through the TGC path if the LNA input is unmatched or of -2.4 dB if the LNA is matched to 50 Ω ($R_{in} = 350 \Omega$). If the voltage on the GAIN+ pin is 1.6 V and the GAIN- pin is 0.8 V (0 dB attenuation), however, the VGA gain is 24 dB. This results in a total gain of 45 dB through the TGC path if the LNA input is unmatched or in a total gain of 39 dB if the LNA input is matched.

Each LNA output is dc-coupled to a VGA input. The VGA consists of an attenuator with a range of -42 dB to 0 dB followed by an amplifier with 21 dB, 24 dB, 27 dB, or 30 dB of gain. The X-AMP gain-interpolation technique results in low gain error and uniform bandwidth, and differential signal paths minimize distortion.

AD9272

Table 9. Sensitivity and Dynamic Range of Trade-Offs^{1, 2, 3}

Gain		LNA		VGA	Channel		
		Full-Scale Input (V p-p)	Input-Referred Noise Voltage (nV/√Hz)	Postamp Gain (dB)	Typical Output Dynamic Range		Input-Referred Noise ⁴ @ GAIN+ = 1.6 V (nV/√Hz)
(V/V)	(dB)				GAIN+ = 0 V ⁵	GAIN+ = 1.6 V ⁶	
6	15.6	0.733	0.98	21	67.5	65.1	1.395
				24	66.4	63.0	1.286
				27	64.6	60.6	1.227
				30	62.5	57.9	1.197
8	17.9	0.550	0.86	21	67.5	64.5	1.149
				24	66.4	62.3	1.071
				27	64.5	59.8	1.030
				30	62.5	57.1	1.009
12	21.3	0.367	0.75	21	67.5	63.3	0.910
				24	66.4	60.9	0.865
				27	64.6	58.2	0.842
				30	62.5	55.4	0.830

¹ LNA: output full scale = 4.4 V p-p differential.² Filter: loss = 1 dB, NBW = 13.3 MHz, GAIN- = 0.8 V.³ ADC: 40 MSPS, 70 dB SNR, 2 V p-p full-scale input.⁴ Channel noise at maximum VGA gain.⁵ Output dynamic range at minimum VGA gain (VGA dominated).⁶ Output dynamic range at maximum VGA gain (LNA dominated).

Table 9 demonstrates the sensitivity and dynamic range of trade-offs that can be achieved relative to various LNA and VGA gain settings.

For example, when the VGA is set for the minimum gain voltage, the TGC path is dominated by VGA noise and achieves the maximum output SNR. However, as the postamp gain options are increased, the input-referred noise is reduced, and the SNR is degraded.

If the VGA is set for the maximum gain voltage, the TGC path is dominated by LNA noise and achieves the lowest input-referred noise but with degraded output SNR. The higher the TGC (LNA + VGC) gain, the lower the output SNR. As the postamp gain is increased, the input-referred noise is reduced.

At low gains, the VGA should limit the system noise performance (SNR); at high gains, the noise is defined by the source and the LNA. The maximum voltage swing is bound by the full-scale peak-to-peak ADC input voltage (2 V p-p).

Both the LNA and VGA have full-scale limitations within each section of the TGC path. These limitations are dependent on the gain setting of each function block and on the voltage applied to the

GAIN± pins. The LNA has three limitations, or full-scale settings, that can be applied through the SPI. Similarly, the VGA has four postamp gain settings that can be applied through the SPI. The voltage applied to the GAIN± pins determines which amplifier (the LNA or VGA) saturates first. The maximum signal input level that can be applied as a function of voltage on the GAIN± pins for the selectable gain options of the SPI is shown in Figure 47 to Figure 49.

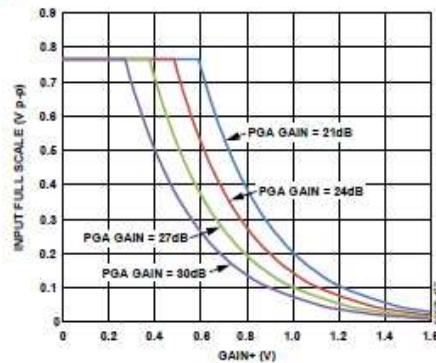


Figure 47. LNA with 15.6 dB Gain Setting/VGA Full-Scale Limitations

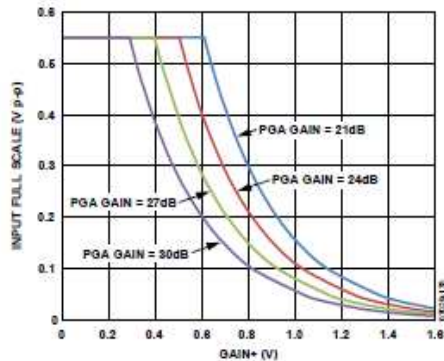


Figure 48. LNA with 17.9 dB Gain Setting/VGA Full-Scale Limitations

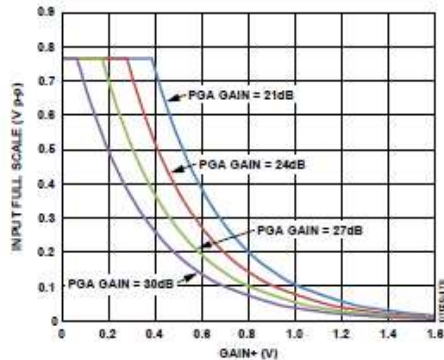


Figure 49. LNA with 21.3 dB Gain Setting/VGA Full-Scale Limitations

Variable Gain Amplifier

The differential X-AMP VGA provides precise input attenuation and interpolation. It has a low input-referred noise of 3.8 nV/√Hz and excellent gain linearity. A simplified block diagram is shown in Figure 50.

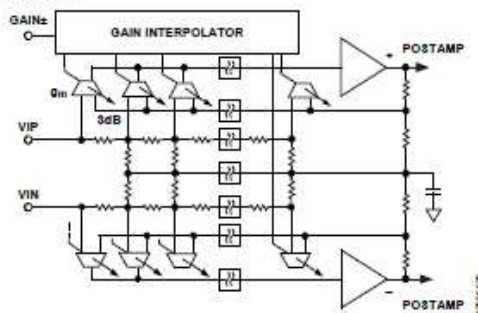


Figure 50. Simplified VGA Schematic

The input of the VGA is a 14-stage differential resistor ladder with 3.5 dB per tap. The resulting total gain range is 42 dB, which allows for range loss at the endpoints. The effective input resistance

per side is 180 Ω nominally for a total differential resistance of 360 Ω. The ladder is driven by a fully differential input signal from the LNA. LNA outputs are dc-coupled to avoid external decoupling capacitors. The common-mode voltage of the attenuator and the VGA is controlled by an amplifier that uses the same midsupply voltage derived in the LNA, permitting dc coupling of the LNA to the VGA without introducing large offsets due to common-mode differences. However, any offset from the LNA becomes amplified as the gain increases, producing an exponentially increasing VGA output offset.

The input stages of the X-AMP are distributed along the ladder, and a biasing interpolator, controlled by the gain interface, determines the input tap point. With overlapping bias currents, signals from successive taps merge to provide a smooth attenuation range from -42 dB to 0 dB. This circuit technique results in linear-in-dB gain law conformance and low distortion levels—only deviating ±0.5 dB or less from the ideal. The gain slope is monotonic with respect to the control voltage and is stable with variations in process, temperature, and supply.

The X-AMP inputs are part of a programmable gain feedback amplifier that completes the VGA. Its bandwidth is approximately 100 MHz. The input stage is designed to reduce feedthrough to the output and to ensure excellent frequency response uniformity across the gain setting.

Gain Control

The gain control interface, GAIN±, is a differential input. V_{GAIN} varies the gain of all VGAs through the interpolator by selecting the appropriate input stages connected to the input attenuator. For GAIN- at 0.8 V, the nominal GAIN+ range for 28.5 dB/V is 0 V to 1.6 V, with the best gain linearity from about 0.16 V to 1.44 V, where the error is typically less than ±0.5 dB. For GAIN+ voltages greater than 1.44 V and less than 0.16 V, the error increases. The value of GAIN+ can exceed the supply voltage by 1 V without gain foldover.

Gain control response time is less than 750 ns to settle within 10% of the final value for a change from minimum to maximum gain.

There are two ways in which the GAIN+ and GAIN- pins can be interfaced. Using a single-ended method, a Kelvin type of connection to ground can be used as shown in Figure 51. For driving multiple devices, it is preferable to use a differential method, as shown in Figure 52. In either method, the GAIN+ and GAIN- pins should be dc-coupled and driven to accommodate a 1.6 V full-scale input.

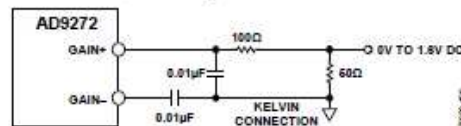


Figure 51. Single-Ended GAIN± Pins Configuration

AD9272

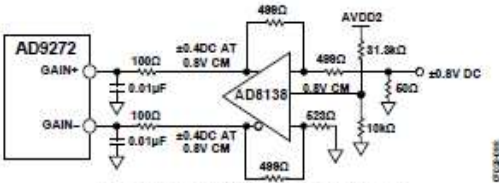


Figure 52. Differential GAIN± Pins Configuration

VGA Noise

In a typical application, a VGA compresses a wide dynamic range input signal to within the input span of an ADC. The input-referred noise of the LNA limits the minimum resolvable input signal, whereas the output-referred noise, which depends primarily on the VGA, limits the maximum instantaneous dynamic range that can be processed at any one particular gain control voltage. This latter limit is set in accordance with the total noise floor of the ADC.

Output-referred noise as a function of GAIN+ is shown in Figure 14 for the short-circuit input conditions. The input noise voltage is simply equal to the output noise divided by the measured gain at each point in the control range.

The output-referred noise is a flat 60 nV/√Hz (postamp gain = 24 dB) over most of the gain range because it is dominated by the fixed output-referred noise of the VGA. At the high end of the gain control range, the noise of the LNA and of the source prevail. The input-referred noise reaches its minimum value near the maximum gain control voltage, where the input-referred contribution of the VGA is miniscule.

At lower gains, the input-referred noise, and therefore, the noise figure, increases as the gain decreases. The instantaneous dynamic range of the system is not lost, however, because the input capacity increases as the input-referred noise increases. The contribution of the ADC noise floor has the same dependence. The important relationship is the magnitude of the VGA output noise floor relative to that of the ADC.

Gain control noise is a concern in very low noise applications. Thermal noise in the gain control interface can modulate the channel gain. The resultant noise is proportional to the output signal level and is usually evident only when a large signal is present. The gain interface includes an on-chip noise filter, which significantly reduces this effect at frequencies above 5 MHz. Care should be taken to minimize noise impinging at the GAIN± inputs. An external RC filter can be used to remove V_{GAIN} source noise. The filter bandwidth should be sufficient to accommodate the desired control bandwidth.

Antialiasing Filter

The filter that the signal reaches prior to the ADC is used to reject dc signals and to band limit the signal for antialiasing. Figure 53 shows the architecture of the filter.

The antialiasing filter is a combination of a single-pole high-pass filter and a second-order low-pass filter. The high-pass filter can be configured at a ratio of the low-pass filter cutoff. This is selectable through the SPI.

The filter uses on-chip tuning to trim the capacitors and in turn set the desired cutoff frequency and reduce variations. The default -3 dB low-pass filter cutoff is 1/3 or 1/4.5 the ADC sample clock rate. The cutoff can be scaled to 0.7, 0.8, 0.9, 1, 1.1, 1.2, or 1.3 times this frequency through the SPI. The cutoff tolerance is maintained from 8 MHz to 18 MHz.

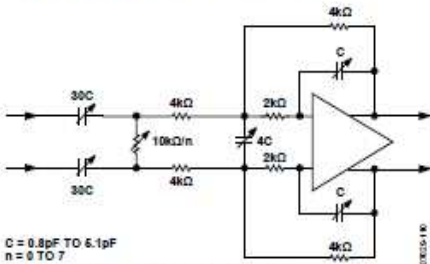


Figure 53. Simplified Filter Schematic

Tuning is normally off to avoid changing the capacitor settings during critical times. The tuning circuit is enabled and disabled through the SPI. Initializing the tuning of the filter must be performed after initial power-up and after reprogramming the filter cutoff scaling or ADC sample rate. Occasional retuning during an idle time is recommended to compensate for temperature drift.

There is a total of eight SPI-programmable settings that allow the user to vary the high-pass filter cutoff frequency as a function of the low-pass cutoff frequency. Two examples are shown in Table 10: one is for an 8 MHz low-pass cutoff frequency and the other is for an 18 MHz low-pass cutoff frequency. In both cases, as the ratio decreases, the amount of rejection on the low-end frequencies increases. Therefore, making the entire AAF frequency pass band narrow can reduce low frequency noise or maximize dynamic range for harmonic processing.

Table 10. SPI-Selectable High-Pass Filter Cutoff Options			
SPI Setting	Ratio ¹	High-Pass Cutoff	
		Low-Pass Cutoff = 8 MHz	Low-Pass Cutoff = 18 MHz
0	20.65	387 kHz	872 kHz
1	11.45	698 kHz	1.571 MHz
2	7.92	1.010 MHz	2.273 MHz
3	6.04	1.323 MHz	2.978 MHz
4	4.88	1.638 MHz	3.685 MHz
5	4.10	1.953 MHz	4.394 MHz
6	3.52	2.270 MHz	5.107 MHz
7	3.09	2.587 MHz	5.822 MHz

¹ Ratio = low-pass filter cutoff frequency/high-pass filter cutoff frequency.

ADC

The AD9272 uses a pipelined ADC architecture. The quantized output from each stage is combined into a 12-bit result in the digital correction logic. The pipelined architecture permits the first stage to operate on a new input sample and the remaining stages to operate on preceding samples. Sampling occurs on the rising edge of the clock.

The output staging block aligns the data, corrects errors, and passes the data to the output buffers. The data is then serialized and aligned to the frame and output clocks.

CLOCK INPUT CONSIDERATIONS

For optimum performance, the AD9272 sample clock inputs (CLK+ and CLK-) should be clocked with a differential signal. This signal is typically ac-coupled into the CLK+ and CLK- pins via a transformer or capacitors. These pins are biased internally and require no additional bias.

Figure 54 shows the preferred method for clocking the AD9272. A low jitter clock source, such as the Valpey Fisher oscillator VFAC3-BHL-50 MHz, is converted from single-ended to differential using an RF transformer. The back-to-back Schottky diodes across the secondary transformer limit clock excursions into the AD9272 to approximately 0.8 V p-p differential. This helps prevent the large voltage swings of the clock from feeding through to other portions of the AD9272, and it preserves the fast rise and fall times of the signal, which are critical to low jitter performance.

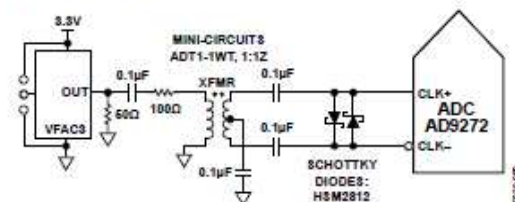


Figure 54. Transformer-Coupled Differential Clock

If a low jitter clock is available, another option is to ac-couple a differential PECL signal to the sample clock input pins as shown in Figure 55. The AD951x family of clock drivers offers excellent jitter performance.

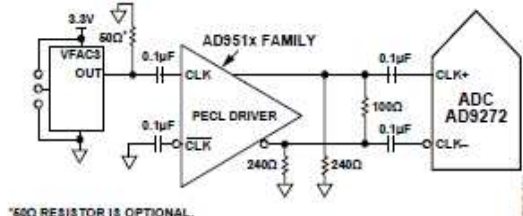
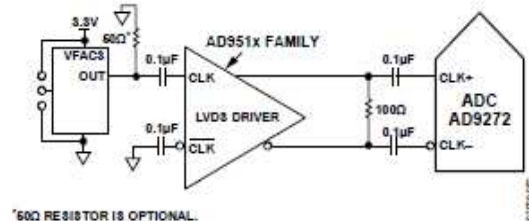


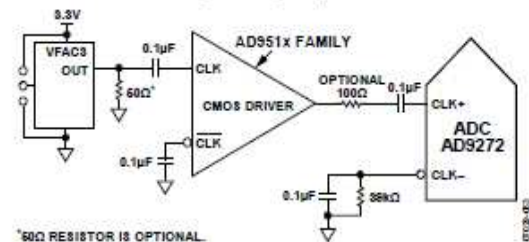
Figure 55. Differential PECL Sample Clock



*50Ω RESISTOR IS OPTIONAL

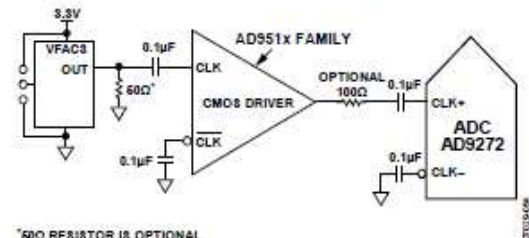
Figure 56. Differential LVDS Sample Clock

In some applications, it is acceptable to drive the sample clock inputs with a single-ended CMOS signal. In such applications, CLK+ should be driven directly from a CMOS gate, and the CLK- pin should be bypassed to ground with a 0.1 μ F capacitor in parallel with a 39 k Ω resistor (see Figure 57). Although the CLK+ input circuit supply is AVDDx (1.8 V), this input is designed to withstand input voltages of up to 3.3 V, making the selection of the drive logic voltage very flexible.



*50Ω RESISTOR IS OPTIONAL

Figure 57. Single-Ended 1.8 V CMOS Sample Clock



*50Ω RESISTOR IS OPTIONAL

Figure 58. Single-Ended 3.3 V CMOS Sample Clock

Clock Duty Cycle Considerations

Typical high speed ADCs use both clock edges to generate a variety of internal timing signals. As a result, these ADCs may be sensitive to the clock duty cycle. Commonly, a 5% tolerance is required on the clock duty cycle to maintain dynamic performance characteristics. The AD9272 contains a duty cycle stabilizer (DCS) that retimes the nonsampling edge, providing an internal clock signal with a nominal 50% duty cycle. This allows a wide range of clock input duty cycles without affecting the performance of the AD9272. When the DCS is on, noise and distortion performance are nearly flat for a wide range of duty cycles. However, some applications may require the DCS function to be off. If so, keep in mind that the dynamic range performance can be affected when operated in this mode. See Table 17 for more details on using this feature.

By asserting the PDWN pin high, the AD9272 is placed into power-down mode. In this state, the device typically dissipates 2 mW. During power-down, the LVDS output drivers are placed into a high impedance state. The AD9272 returns to normal operating mode when the PDWN pin is pulled low. This pin is both 1.8 V and 3.3 V tolerant.

By asserting the STBY pin high, the AD9272 is placed into a standby mode. In this state, the device typically dissipates 150 mW. During standby, the entire part is powered down except the internal references. The LVDS output drivers are placed into a high impedance state. This mode is well suited for applications that require power savings because it allows the device to be powered down when not in use and then quickly powered up. The time to power this device back up is also greatly reduced. The AD9272 returns to normal operating mode when the STBY pin is pulled low. This pin is both 1.8 V and 3.3 V tolerant.

In power-down mode, low power dissipation is achieved by shutting down the reference buffer, PLL, and biasing networks. The decoupling capacitors on VREF are discharged when entering power-down mode and must be recharged when returning to normal operation. As a result, the wake-up time is related to the time spent in the power-down mode: shorter cycles result in proportionally shorter wake-up times. To restore the device to full operation, approximately 0.5 ms is required when using the recommended 1 μ F and 0.1 μ F decoupling capacitors on the VREF pin and 0.01 μ F on the GAIN \pm pins. Most of this time is dependent on the gain decoupling: higher value decoupling capacitors on the GAIN \pm pins result in longer wake-up times.

There are a number of other power-down options available when using the SPI port interface. The user can individually power down each channel or put the entire device into standby mode. This allows the user to keep the internal PLL powered up when fast wake-up times are required. The wake-up time is slightly dependent on gain. To achieve a 1 μ s wake-up time when the device is in standby mode, 0.8 V must be applied to the GAIN \pm pins. See Table 17 for more details on using these features.

Digital Outputs and Timing

The AD9272 differential outputs conform to the ANSI-644 LVDS standard on default power-up. This can be changed to a low power, reduced signal option similar to the IEEE 1596.3 standard by using Register 14, Bit 6 or via the SPI. This LVDS standard can further reduce the overall power dissipation of the device by approximately 36 mW.

The LVDS driver current is derived on chip and sets the output current at each output equal to a nominal 3.5 mA. A 100 Ω differential termination resistor placed at the LVDS receiver inputs results in a nominal 350 mV swing at the receiver.

The AD9272 LVDS outputs facilitate interfacing with LVDS receivers in custom ASICs and FPGAs that have LVDS capability for superior switching performance in noisy environments. Single point-to-point net topologies are recommended with a 100 Ω termination resistor placed as close to the receiver as possible. No far-end receiver termination and poor differential trace routing may result in timing errors. It is recommended that the trace length be no longer than 24 inches and that the differential output traces be kept close together and at equal lengths. An example of the FCO, DCO, and data stream with proper trace length and position can be found in Figure 63.

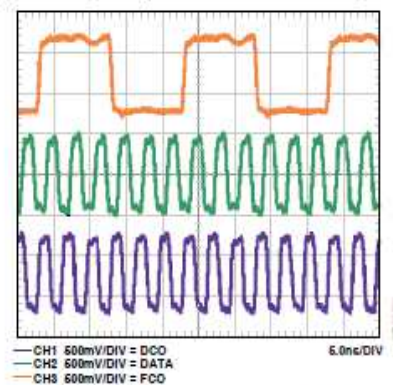


Figure 63. LVDS Output Timing Example in ANSI-644 Mode (Default)

An example of the LVDS output using the ANSI-644 standard (default) data eye and a time interval error (TIE) jitter histogram with trace lengths less than 24 inches on regular FR-4 material is shown in Figure 64. Figure 65 shows an example of the trace lengths exceeding 24 inches on regular FR-4 material. Notice that the TIE jitter histogram reflects the decrease of the data eye opening as the edge deviates from the ideal position; therefore, the user must determine if the waveforms meet the timing budget of the design when the trace lengths exceed 24 inches.

Additional SPI options allow the user to further increase the internal termination (and therefore increase the current) of all eight outputs in order to drive longer trace lengths (see Figure 66). Even though this produces sharper rise and fall times on the data edges, is less prone to bit errors, and improves frequency distribution (see Figure 66), the power dissipation of the DRVDD supply increases when this option is used.

In cases that require increased driver strength to the DCO \pm and FCO \pm outputs because of load mismatch, Register 0x15 allows the user to double the drive strength. To do this, set the appropriate bit in Register 0x05. Note that this feature cannot be used with Bit 4 and Bit 5 in Register 0x15 because these bits take precedence over this feature. See Table 17 for more details.

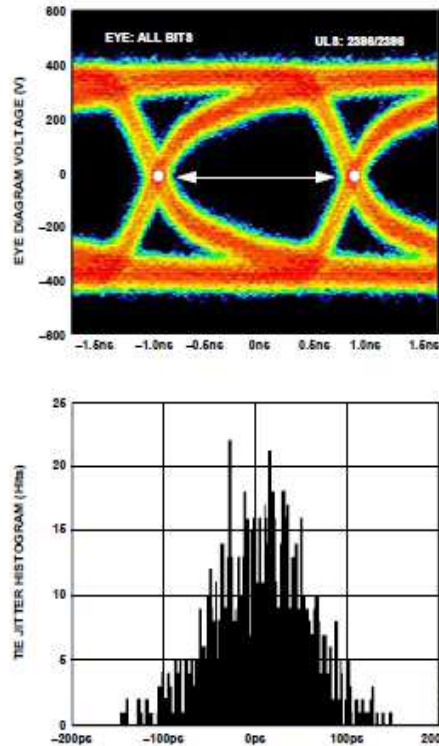


Figure 66. Data Eye for LVDS Outputs in ANSI-644 Mode with 100 Ω Termination On and Trace Lengths of Greater Than 24 Inches on Standard FR-4

The format of the output data is offset binary by default. An example of the output coding format can be found in Table 11. To change the output data format to twos complement, see the Memory Map section.

Table 11. Digital Output Coding

Code	(VIN+) – (VIN–), Input Span = 2 V p-p (V)	Digital Output Offset Binary (D11...D0)
4095	+1.00	1111 1111 1111
2048	0.00	1000 0000 0000
2047	–0.000488	0111 1111 1111
0	–1.00	0000 0000 0000

Data from each ADC is serialized and provided on a separate channel. The data rate for each serial stream is equal to 12 bits times the sample clock rate, with a maximum of 960 Mbps (12 bits \times 80 MSPS = 960 Mbps). The lowest typical conversion rate is 10 MSPS, but the PLL can be set up for encode rates as low as 5 MSPS via the SPI if lower sample rates are required for a specific application. See Table 17 for details on enabling this feature.

Two output clocks are provided to assist in capturing data from the AD9272. DCO± is used to clock the output data and is equal to six times the sampling clock rate. Data is clocked out of the AD9272 and must be captured on the rising and falling edges of the DCO± that supports double data rate (DDR) capturing. The frame clock output (FCO±) is used to signal the start of a new output byte and is equal to the sampling clock rate. See the timing diagram shown in Figure 2 for more information.

Table 12. Flexible Output Test Modes

Output Test Mode Bit Sequence	Pattern Name	Digital Output Word 1	Digital Output Word 2	Subject to Data Format Select
0000	Off (default)	N/A	N/A	N/A
0001	Midscale short	1000 0000 0000	1000 0000 0000	Yes
0010	+Full-scale short	1111 1111 1111	1111 1111 1111	Yes
0011	–Full-scale short	0000 0000 0000	0000 0000 0000	Yes
0100	Checkerboard output	1010 1010 1010	0101 0101 0101	No
0101	PN sequence long	N/A	N/A	Yes
0110	PN sequence short	N/A	N/A	Yes
0111	One-/zero-word toggle	1111 1111 1111	0000 0000 0000	No
1000	User input	Register 0x19 to Register 0x1A	Register 0x1B to Register 0x1C	No
1001	1-/0-bit toggle	1010 1010 1010	N/A	No
1010	1 \times sync	0000 0011 1111	N/A	No
1011	One bit high	1000 0000 0000	N/A	No
1100	Mixed bit frequency	1010 0011 0011	N/A	No

AD9272

When using the serial port interface (SPI), the DCO± phase can be adjusted in 60° increments relative to the data edge. This enables the user to refine system timing margins if required. The default DCO± timing, as shown in Figure 2, is 90° relative to the output data edge.

An 8-, 10-, and 14-bit serial stream can also be initiated from the SPI. This allows the user to implement different serial streams and test the compatibility of the device, with lower and higher resolution systems. When changing the resolution to an 8- or 10-bit serial stream, the data stream is shortened. When using the 14-bit option, the data stream stuffs two 0s at the end of the normal 14-bit serial data.

When using the SPI, all of the data outputs can also be inverted from their nominal state. This is not to be confused with inverting the serial stream to an LSB-first mode. In default mode, as shown in Figure 2, the MSB is represented first in the data output serial stream. However, this can be inverted so that the LSB is represented first in the data output serial stream (see Figure 3).

There are 12 digital output test pattern options available that can be initiated through the SPI. This is a useful feature when validating receiver capture and timing. Refer to Table 12 for the output bit sequencing options available. Some test patterns have two serial sequential words and can be alternated in various ways, depending on the test pattern chosen. Note that some patterns may not adhere to the data format select option. In addition, user patterns can be assigned in the 0x19, 0x1A, 0x1B, and 0x1C register addresses. All test mode options except PN sequence short and PN sequence long can support 8- to 14-bit word lengths in order to verify data capture to the receiver.

The PN sequence short pattern produces a pseudorandom bit sequence that repeats itself every $2^9 - 1$ bits or 511 bits. A description of the PN sequence and how it is generated can be found in Section 5.1 of the ITU-T 0.150 (05/96) standard. The only difference is that the starting value is a specific value instead of all 1s (see Table 13 for the initial values).

The PN sequence long pattern produces a pseudorandom bit sequence that repeats itself every $2^{23} - 1$ bits or 8,388,607 bits. A description of the PN sequence and how it is generated can be found in Section 5.6 of the ITU-T 0.150 (05/96) standard. The only differences are that the starting value is a specific value instead of all 1s, and the AD9272 inverts the bit stream with relation to the ITU standard (see Table 13 for the initial values).

Table 13. PN Sequence

Sequence	Initial Value	First Three Output Samples (MSB First)
PN Sequence Short	0x0DF	0xDF9, 0x353, 0x301
PN Sequence Long	0x29B80A	0x591, 0xFD7, 0xA3

Consult the Memory Map section for information on how to change these additional digital output timing features through the SPI.

SDIO Pin

This pin is required to operate the SPI. It has an internal 30 kΩ pull-down resistor that pulls this pin low and is only 1.8 V tolerant. If applications require that this pin be driven from a 3.3 V logic level, insert a 1 kΩ resistor in series with this pin to limit the current.

SCLK Pin

This pin is required to operate the SPI port interface. It has an internal 30 kΩ pull-down resistor that pulls this pin low and is both 1.8 V and 3.3 V tolerant.

CSB Pin

This pin is required to operate the SPI port interface. It has an internal 70 kΩ pull-up resistor that pulls this pin high and is both 1.8 V and 3.3 V tolerant.

RBIAS Pin

To set the internal core bias current of the ADC, place a resistor nominally equal to 10 kΩ to ground at the RBIAS pin. Using other than the recommended 10 kΩ resistor for RBIAS degrades the performance of the device. Therefore, it is imperative that at least a 1% tolerance on this resistor be used to achieve consistent performance.

Voltage Reference

A stable and accurate 0.5 V voltage reference is built into the AD9272. This is gained up internally by a factor of 2, setting VREF to 1 V, which results in a full-scale differential input span of 2 V p-p for the ADC. VREF is set internally by default, but the VREF pin can be driven externally with a 1.0 V reference to achieve more accuracy. However, this device does not support ADC full-scale ranges below 2 V p-p.

When applying the decoupling capacitors to the VREF pin, use ceramic low-ESR capacitors. These capacitors should be close to the reference pin and on the same layer of the PCB as the AD9272. The VREF pin should have both a 0.1 μF capacitor and a 1 μF capacitor connected in parallel to the analog ground. These capacitor values are recommended for the ADC to properly settle and acquire the next valid sample.

The reference settings can be selected using the SPI. The settings allow two options: using the internal reference or using an external reference. The internal reference option is the default setting and has a resulting differential span of 2 V p-p.

Table 14. SPI-Selectable Reference Settings

SPI-Selected Mode	Resulting VREF (V)	Resulting Differential Span (V p-p)
External Reference	N/A	2 × external reference
Internal Reference (Default)	1	2

Power and Ground Recommendations

When connecting power to the AD9272, it is recommended that two separate 1.8 V supplies be used: one for analog (AVDD) and one for digital (DRVDD). If only one 1.8 V supply is available, it should be routed to the AVDD1 first and then tapped off and isolated with a ferrite bead or a filter choke preceded by decoupling capacitors for the DRVDD. The user should employ several decoupling capacitors on all supplies to cover both high and low frequencies. These should be located close to the point of entry at the PC board level and close to the parts with minimal trace lengths.

A single PC board ground plane should be sufficient when using the AD9272. With proper decoupling and smart partitioning of the analog, digital, and clock sections of the PC board, optimum performance can be easily achieved.

Exposed Paddle Thermal Heat Slug Recommendations

It is required that the exposed paddle on the underside of the device be connected to a quiet analog ground to achieve the best electrical and thermal performance of the AD9272. An exposed continuous copper plane on the PCB should mate to

the AD9272 exposed paddle, Pin 0. The copper plane should have several vias to achieve the lowest possible resistive thermal path for heat dissipation to flow through the bottom of the PCB. These vias should be filled or plugged with nonconductive epoxy.

To maximize the coverage and adhesion between the device and PCB, partition the continuous copper pad by overlaying a silk-screen or solder mask to divide it into several uniform sections. This ensures several tie points between the two during the reflow process. Using one continuous plane with no partitions only guarantees one tie point between the AD9272 and PCB. See Figure 67 for a PCB layout example. For more detailed information on packaging and for more PCB layout examples, see the AN-772 Application Note.

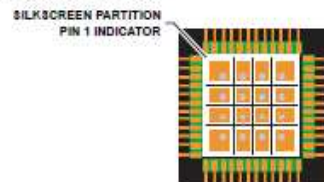


Figure 67. Typical PCB Layout

AD9272

SERIAL PORT INTERFACE (SPI)

The AD9272 serial port interface allows the user to configure the signal chain for specific functions or operations through a structured register space provided inside the chip. This offers the user added flexibility and customization, depending on the application. Addresses are accessed via the serial port and can be written to or read from via the port. Memory is organized into bytes that can be further divided down into fields, as documented in the Memory Map section. Detailed operational information can be found in the Analog Devices, Inc., AN-877 Application Note, *Interfacing to High Speed ADCs via SPI*.

There are three pins that define the serial port interface or SPI. They are the SCLK, SDIO, and CSB pins. The SCLK (serial clock) is used to synchronize the read and write data presented to the device. The SDIO (serial data input/output) is a dual-purpose pin that allows data to be sent to and read from the internal memory map registers of the device. The CSB (chip select bar) is an active low control that enables or disables the read and write cycles (see Table 15).

Table 15. Serial Port Pins

Pin	Function
SCLK	Serial clock. The serial shift clock input. SCLK is used to synchronize serial interface reads and writes.
SDIO	Serial data input/output. A dual-purpose pin. The typical role for this pin is as an input or output, depending on the instruction sent and the relative position in the timing frame.
CSB	Chip select bar (active low). This control gates the read and write cycles.

The falling edge of the CSB pin in conjunction with the rising edge of the SCLK determines the start of the framing sequence. During an instruction phase, a 16-bit instruction is transmitted, followed by one or more data bytes, which is determined by Bit Field W0 and Bit Field W1. An example of the serial timing and its definitions can be found in Figure 69 and Table 16.

In normal operation, CSB is used to signal to the device that SPI commands are to be received and processed. When CSB is brought low, the device processes SCLK and SDIO to process instructions. Normally, CSB remains low until the communication cycle is complete. However, if connected to a slow device, CSB can be brought high between bytes, allowing older microcontrollers enough time to transfer data into shift registers. CSB can be stalled when transferring one, two, or three bytes of data. When W0 and W1 are set to 11, the device enters streaming mode and continues to process data, either reading or writing, until CSB is taken high to end the communication cycle. This allows complete memory transfers without having to provide additional instructions. Regardless of the mode, if CSB is taken high in the middle of any byte transfer, the SPI state machine is reset, and the device waits for a new instruction.

In addition to the operation modes, the SPI port can be configured to operate in different manners. For applications that do not require a control port, the CSB line can be tied and held high. This places the remainder of the SPI pins in their secondary mode as defined in the SDIO Pin and SCLK Pin sections. CSB can also be tied low to enable 2-wire mode. When CSB is tied low, SCLK and SDIO are the only pins required for communication. Although the device is synchronized during power-up, caution must be exercised when using this mode to ensure that the serial port remains synchronized with the CSB line. When operating in 2-wire mode, it is recommended to use a 1-, 2-, or 3-byte transfer exclusively. Without an active CSB line, streaming mode can be entered but not exited.

In addition to word length, the instruction phase determines if the serial frame is a read or write operation, allowing the serial port to be used to both program the chip and read the contents of the on-chip memory. If the instruction is a readback operation, performing a readback causes the serial data input/output (SDIO) pin to change direction from an input to an output at the appropriate point in the serial frame.

Data can be sent in MSB- or LSB-first mode. MSB-first mode is the default at power-up and can be changed by adjusting the configuration register. For more information about this and other features, see the AN-877 Application Note, *Interfacing to High Speed ADCs via SPI*.

HARDWARE INTERFACE

The pins described in Table 15 constitute the physical interface between the programming device of the user and the serial port of the AD9272. The SCLK and CSB pins function as inputs when using the SPI interface. The SDIO pin is bidirectional, functioning as an input during write phases and as an output during readback.

In cases where multiple SDIO pins share a common connection, care should be taken to ensure that proper V_{OH} levels are met. Figure 68 shows the number of SDIO pins that can be connected together, assuming the same load as the AD9272 and the resulting V_{OH} level.

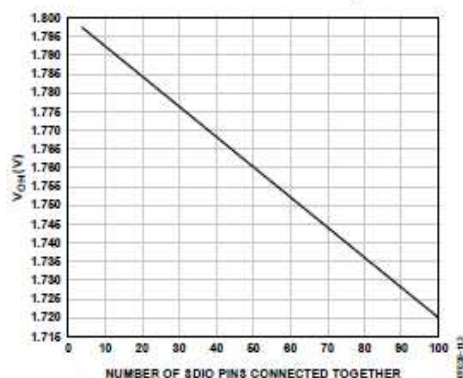


Figure 68. SDIO Pin Loading

This interface is flexible enough to be controlled by either serial PROMS or PIC microcontrollers. This provides the user with an alternative method, other than a full SPI controller, for programming the device (see the AN-812 Application Note).

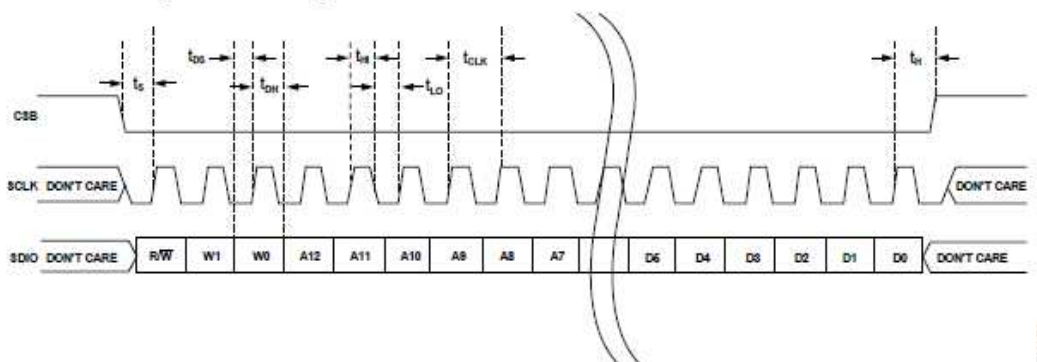


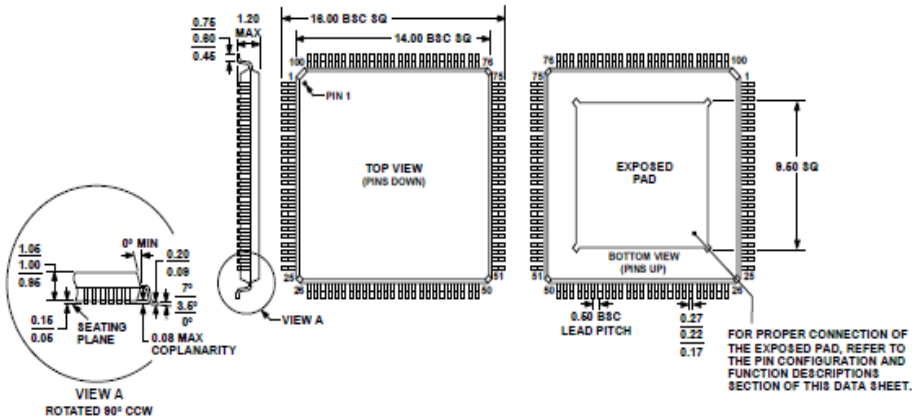
Figure 69. Serial Timing Details

Table 16. Serial Timing Definitions

Parameter	Minimum Timing (ns)	Description
t_{DS}	5	Setup time between the data and the rising edge of SCLK
t_{DH}	2	Hold time between the data and the rising edge of SCLK
t_{CLK}	40	Period of the clock
t_S	5	Setup time between CSB and SCLK
t_H	2	Hold time between CSB and SCLK
t_{H1}	16	Minimum period that SCLK should be in a logic high state
t_{L1}	16	Minimum period that SCLK should be in a logic low state
t_{EN_SDIO}	10	Minimum time for the SDIO pin to switch from an input to an output relative to the SCLK falling edge (not shown in Figure 69)
t_{DS_SDIO}	10	Minimum time for the SDIO pin to switch from an output to an input relative to the SCLK rising edge (not shown in Figure 69)

AD9272

OUTLINE DIMENSIONS



COMPLIANT TO JEDEC STANDARDS MS-028-AED-HD
Figure 70. 100-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP]
(SV-100-3)
Dimensions shown in millimeters

ORDERING GUIDE

Model	Temperature Range	Package Description	Package Option
AD9272BSVZ-80 ¹	−40°C to +85°C	100-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP]	SV-100-3
AD9272BSVZRL-80 ¹	−40°C to +85°C	100-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP] Tape and Reel	SV-100-3
AD9272BSVZ-65 ¹	−40°C to +85°C	100-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP]	SV-100-3
AD9272BSVZRL-65 ¹	−40°C to +85°C	100-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP] Tape and Reel	SV-100-3
AD9272BSVZ-40 ¹	−40°C to +85°C	100-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP]	SV-100-3
AD9272BSVZRL-40 ¹	−40°C to +85°C	100-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP] Tape and Reel	SV-100-3
AD9272-65EBZ ¹		Evaluation Board	
AD9272-80KITZ ¹		Evaluation Board and High Speed FPGA-Based Data Capture Board	

¹ Z = RoHS Compliant Part.

Anexo 3.2: NDT V326-SU

Transducer Selection

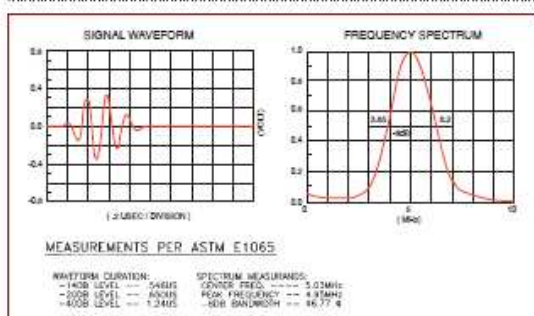
The transducer is one of the most critical components of any ultrasonic system. A great deal of attention should be paid to selecting the proper transducer for the application.

The performance of the system as a whole is of great importance. Variations in instrument characteristics and settings as well as material properties and coupling conditions play a major role in system performance.

We have developed three different series of transducers to respond to the need for variety. Each series has its own unique characteristics.

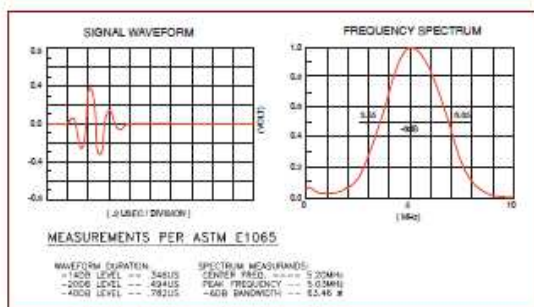
Transducer configuration also has an impact on system performance. Consideration should be given to the use of focused transducers, transducers with wear surfaces that are appropriate for the test material, and the choice of the appropriate frequency and element diameter.

The summaries below provide a general impression of the performance characteristics of each transducer series. While these guidelines are quite useful, each application is unique and performance will be dependent on electronics, cabling, and transducer configuration, frequency, and element diameter.



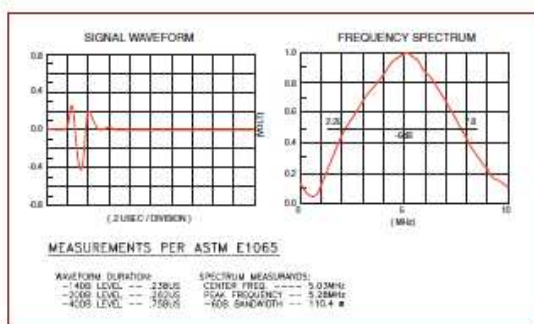
ACCUSCAN "S"

The Accuscan S series is intended to provide excellent sensitivity in those situations where axial resolution is not of primary importance. Typically this series will have a longer wave form duration and a relatively narrow frequency bandwidth.



ACCUSCAN "R"

The Accuscan R series is designed to reduce excitation pulse and interface echo recovery time while maintaining good sensitivity at the transducer center frequency.



VIDEOSCAN

Videoscan transducers are untuned transducers that provide heavily damped broadband performance. They are the best choice in applications where good axial or distance resolution is necessary or in tests that require improved signal-to-noise in attenuating or scattering materials.

For more information on bandwidth and sensitivity versus resolution, please refer to the Technical Notes located on pages 32-39.

Note: For sample test forms of transducers that you are interested in purchasing or if you have questions, please contact us via phone, fax, or e-mail.

Immersion Transducers

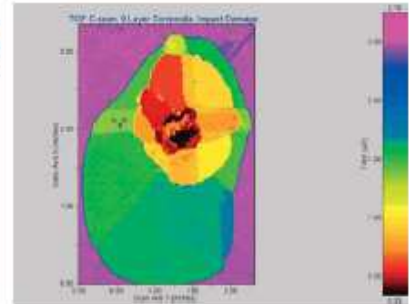
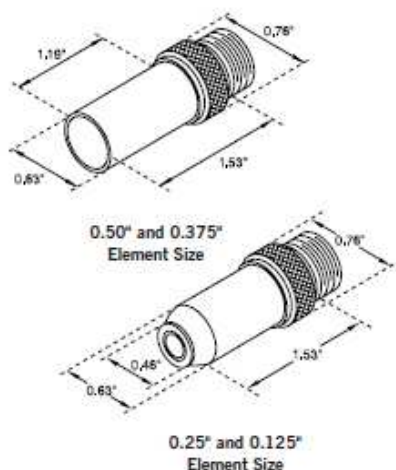
An immersion transducer is a single element longitudinal wave transducer with a 1/4 wavelength layer acoustically matched to water. It is specifically designed to transmit ultrasound in situations where the test part is partially or wholly immersed.

Advantages:

- ◆ The immersion technique provides a means of uniform coupling
- ◆ Quarter wavelength matching layer increases sound energy output
- ◆ Corrosion resistant 303 stainless steel case with chrome-plated brass connectors
- ◆ Proprietary RF shielding for improved signal-to-noise characteristics in critical applications
- ◆ All immersion transducers, except paintbrush, may be focused spherically (spot) or cylindrically (line) (see Technical Notes page 40)
- ◆ Customer specified focal length concentrates the sound beam to increase sensitivity to small reflectors; many popular focal lengths are kept in stock
- ◆ Cylindrical contour correction reduces interface ringdown on tubing and bar stock

Applications:

- ◆ Automated scanning
- ◆ On-line thickness gaging
- ◆ High speed flaw detection in pipe, bar, tube, plate, and other similar components
- ◆ Time-of-flight and amplitude based imaging
- ◆ Thru-transmission testing
- ◆ Material analysis and velocity measurements



Standard Case Style

- ◆ Knurled case with Straight UHF connector (SU)
- ◆ Contact us for nonknurled case design and availability of other connector styles
- ◆ Frequencies ranging from 1.0-25MHz

Frequency MHz	Nominal Element Size	Transducer Part Numbers		
		ACCUSCAN-S	ACCUSCAN-R	VIDEOSCAN
1.0	0.50" 13mm	A303S-SU	A303R-SU	V303-SU
2.25	0.50" 13mm 0.375" 10mm 0.25" 6mm	A306S-SU — —	A306R-SU — —	V306-SU V325-SU V323-SU
3.5	0.50" 13mm 0.375" 10mm 0.25" 6mm	A382S-SU — —	A382R-SU — —	V382-SU V383-SU V384-SU
5.0	0.50" 13mm 0.375" 10mm 0.25" 6mm	A309S-SU A326S-SU A310S-SU	A309R-SU A326R-SU A310R-SU	V309-SU V326-SU V310-SU
7.5	0.50" 13mm	A320S-SU	A320R-SU	V320-SU
10	0.50" 13mm 0.375" 10mm 0.25" 6mm	A311S-SU A327S-SU A312S-SU	A311R-SU A327R-SU A312R-SU	V311-SU V327-SU V312-SU
15	0.50" 13mm 0.375" 10mm 0.25" 6mm	A319S-SU — A313S-SU	A319R-SU — A313R-SU	V319-SU — V313-SU
20	0.25" 6mm 0.125" 3mm	— —	— —	V317-SU V316-SU
25	0.25" 6mm	—	—	V324-SU

Anexo 3.3: HSC-ADC-EVALCZ



High Speed Converter Evaluation Platform

HSC-ADC-EVALC

FEATURES

Xilinx Virtex-4 FPGA-based buffer memory board
Used for capturing digital data from high speed ADC evaluation boards to simplify evaluation

64 kB FIFO depth

Parallel input at 644 MSPS SDR and 800 MSPS DDR

Supports 1.8 V, 2.5 V, and 3.3 V CMOS and LVDS Interfaces

Supports multiple ADC channels up to 18 bits

Measures performance with VisualAnalog
Real-time FFT and time domain analysis
Analyzes SNR, SINAD, SFDR, and harmonics

Simple USB port interface (2.0)

Supports ADCs with serial port interfaces (SPI)

FPGA reconfigurable via JTAG, on-board EPROM, or USB

On-board regulator circuit speeds setup
5 V, 3 A switching power supply included

Compatible with Windows 98 (2nd edition), Windows 2000, Windows ME, and Windows XP

EQUIPMENT NEEDED

Analog signal source and antialiasing filter
Low jitter clock source
High speed ADC evaluation board and ADC data sheet
PC running Windows 98 (2nd edition), Windows 2000, Windows ME, or Windows XP
Latest version of VisualAnalog
USB 2.0 port recommended (USB 1.1 compatible)

PRODUCT HIGHLIGHTS

1. Easy to Set Up. Connect the included power supply along with the CLK and AIN signal sources to the two evaluation boards. Then connect to the PC via the USB port and evaluate the performance instantly.
2. USB Port Connection to PC. PC interface is via a USB 2.0 connection (1.1 compatible) to the PC. A USB cable is provided in the kit.
3. 64 kB FIFO. The on-board FPGA contains an integrated FIFO to store data captured from the ADC for subsequent processing.
4. Up to 644 MSPS SDR/800 MSPS DDR Encode Rates on Each Channel. Multichannel ADCs with encode rates up to 644 MSPS SDR and 800 MSPS DDR can be used with the ADC capture board.
5. Supports ADCs with Serial Port Interface or SPI. Some ADCs include a feature set that can be changed via the SPI. The ADC capture board supports these SPI-driven features through the existing USB connection to the computer without additional cabling needed.
6. VisualAnalog™. VisualAnalog supports the HSC-ADC-EVALC hardware platform as well as enabling virtual ADC evaluation using ADIsimADC™, Analog Devices proprietary behavioral modeling technology. This allows rapid comparison between multiple ADCs, with or without hardware evaluation boards. For more information, see AN-737 at www.analog.com/VisualAnalog.

FUNCTIONAL BLOCK DIAGRAM

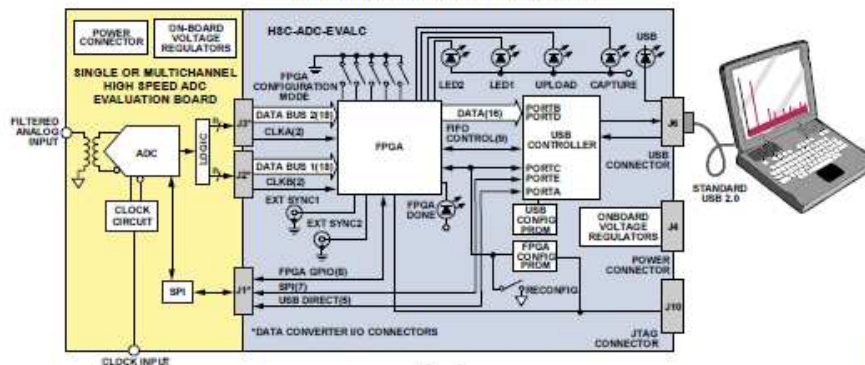


Figure 1.

Rev. 0

Evaluation boards are only intended for device evaluation and not for production purposes. Evaluation boards are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability or fitness for a particular purpose. No license is granted by implication or otherwise under any patents or other intellectual property by application or use of evaluation boards. Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Analog Devices reserves the right to change devices or specifications at any time without notice. Trademarks and registered trademarks are the property of their respective owners. Evaluation boards are not authorized to be used in life support devices or systems.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2007 Analog Devices, Inc. All rights reserved.

HSC-ADC-EVALC

I/O CONNECTOR—J1, J2, AND J3 PIN MAPPING

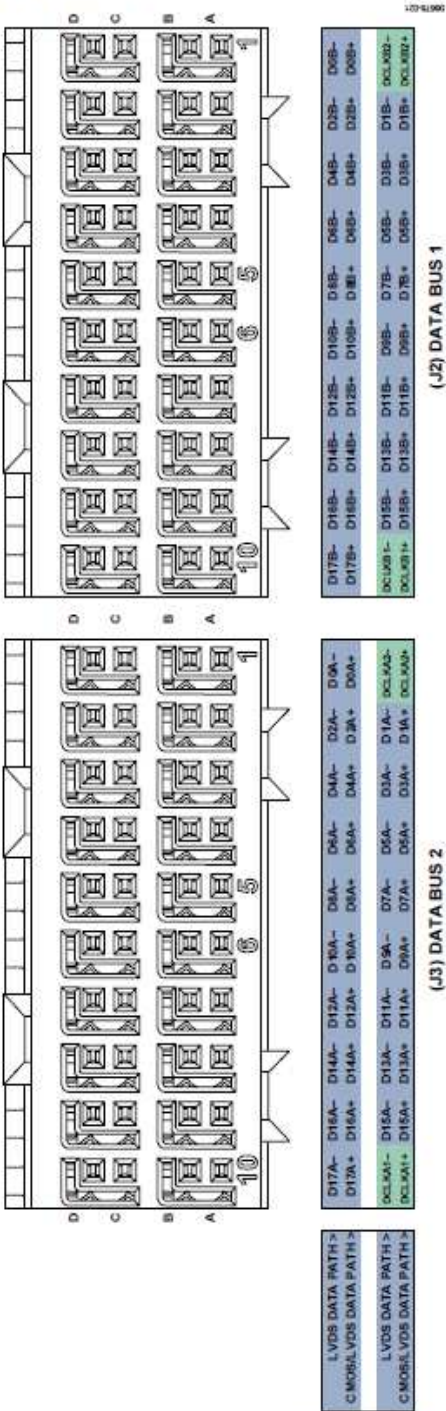


Figure 21. J2 and J3 Pin Mapping

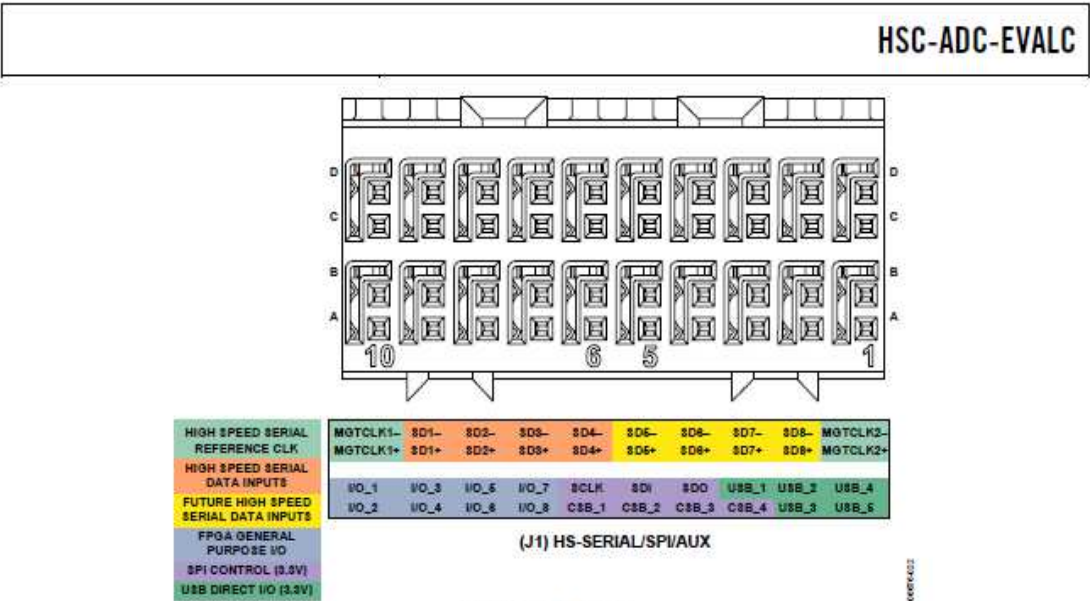


Figure 22. J1 Pin Mapping

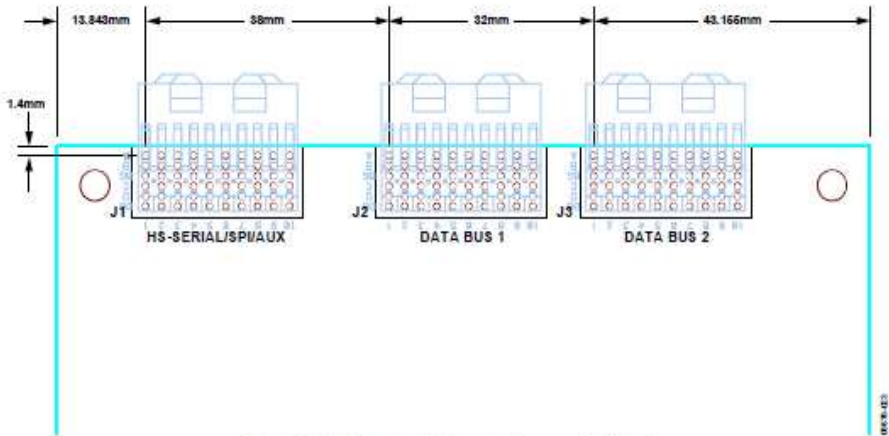


Figure 23. Data Converter I/O Connector Placement (Top View)